

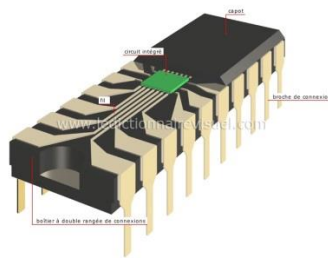


Année universitaire 2017 – 2018

Module Electronique Numérique

SMP₆ –Parcours 1

TRAVAUX PRATIQUES



N.B.

Un travail bien préparé permet une meilleure compréhension du TP et également une meilleure rédaction. Un compte rendu de travaux pratiques n'est pas seulement une suite de résultats mais comprend aussi des commentaires et des conclusions.

Pr. A. AMARI

Plan

TP N°1 : Opérateurs de Base et Portes Logiques	4
TP N°2 : Portes logiques universelles et Comparateur	6
TP N°3 : Additionneur et Soustracteur.....	10
TP N°4 : Montages à Bascules	13

Quelques conseils ...

La préparation du TP

La préparation du TP est très importante.

- Vous devez, avant de venir en séance de TP, avoir préparé votre travail.
- Une séance de TP n'est pas une séance presse bouton, ni un empilement de courbes sans légende ni commentaire.
- De plus, la préparation est individuelle et ne doit pas se faire en prenant exemple sur le travail d'un collègue.

La mise au point du montage

Pour éviter les erreurs de câblage, il est très important de dessiner le montage en indiquant les **numéros de broches**.

Votre **comportement en TP**, c'est à dire votre **autonomie**, la façon dont vous résolvez les problèmes, votre **efficacité** est prise en compte dans la note.

Dans un TP il y a toujours :

- Une **approche théorique (AT)**
 - Rechercher les éléments de cours et les TD portant sur les mêmes notions.
 - Préparer par écrit vos équations, vos calculs et vos montages.
 - Ceci doit être fait chez vous
- Une **approche expérimentale (AE)**
 - Rechercher les éléments de cours et les TD portant sur les mêmes notions.
 - Relisez vos notes relatives à l'utilisation des composants, des matériels et des logiciels.
 - La partie **AE** ne peut être réalisée qu'en salle disposant du matériel.
 - Pour un travail en binôme, il faut répartir les tâches.
- Une **synthèse**
 - La synthèse ne peut être réalisée que sur place quand vous disposez :
 - De vos résultats théoriques,
 - De vos résultats expérimentaux.
 - C'est LA PARTIE LA PLUS IMPORTANTE DU TP pour laquelle il faut dégager du temps...

Le compte rendu

Le compte-rendu doit comporter pour chaque TP :

- Une **partie théorique**,
- Des **schémas** avec des symboles normalisés et le brochage (**numéros de broches**),
- Une **analyse** des résultats obtenus.

Enfin, la **présentation en elle-même** de tout travail est importante.

Le contrôle

Le contrôle a lieu à la fin des TPs. Il dure **1h30** et sera individuel.

T.P. N° 1
Opérateurs de Base et Portes Logiques
SMP6 -P1
Module d'Electronique Numérique

Objectif

- Utiliser le traitement d'informations logiques.
- Valider les outils de descriptions.
- Valider le comportement réel d'un circuit intégré face à un problème logique posé.

Préparation

Lisez attentivement le sujet pour chaque question :

- Déterminer les résultats que vous pensez obtenir lors de la séance.
- Préparer les schémas de câblage en indiquant les **numéros des broches** sur le schéma.

Avant de commencer un-câblage de circuits logiques il est nécessaire de faire un **schéma clair** et **complet** des circuits logiques physiques et des liaisons qui interviennent dans la fonction à réaliser.

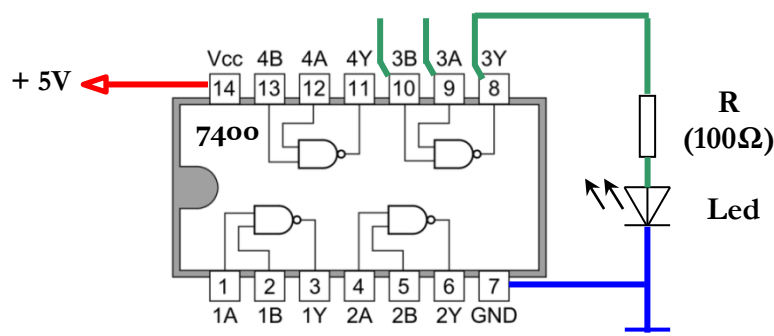
Il faut donc y indiquer les **numéros des broches** de connexion des différents **CI** (Circuits Intégrés) et ne pas oublier les broches de **masse** et d'**alimentation** des **CI**.

I. Portes élémentaires

Afin de se familiariser avec le Circuit Intégré **74LS00** (voir brochage en page 4), on veut réaliser les opérateurs de base **NOT**, **AND** et **OR** à l'aide de ce circuit **seul**.

La fonction **NAND** formant un **groupe logique complet**.

1. Donner les logigrammes de ces trois opérateurs de base, uniquement avec des portes **NAND**.
2. Afin de se familiariser avec la plaque d'essai, réaliser et tester ce montage :



3. Réaliser les circuits logiques **NOT**, **AND** et **OR** à l'aide de CI **74LS00** et vérifier leurs tables de vérité.

II. Opérateur OU EXCLUSIF

II.1. Définition :

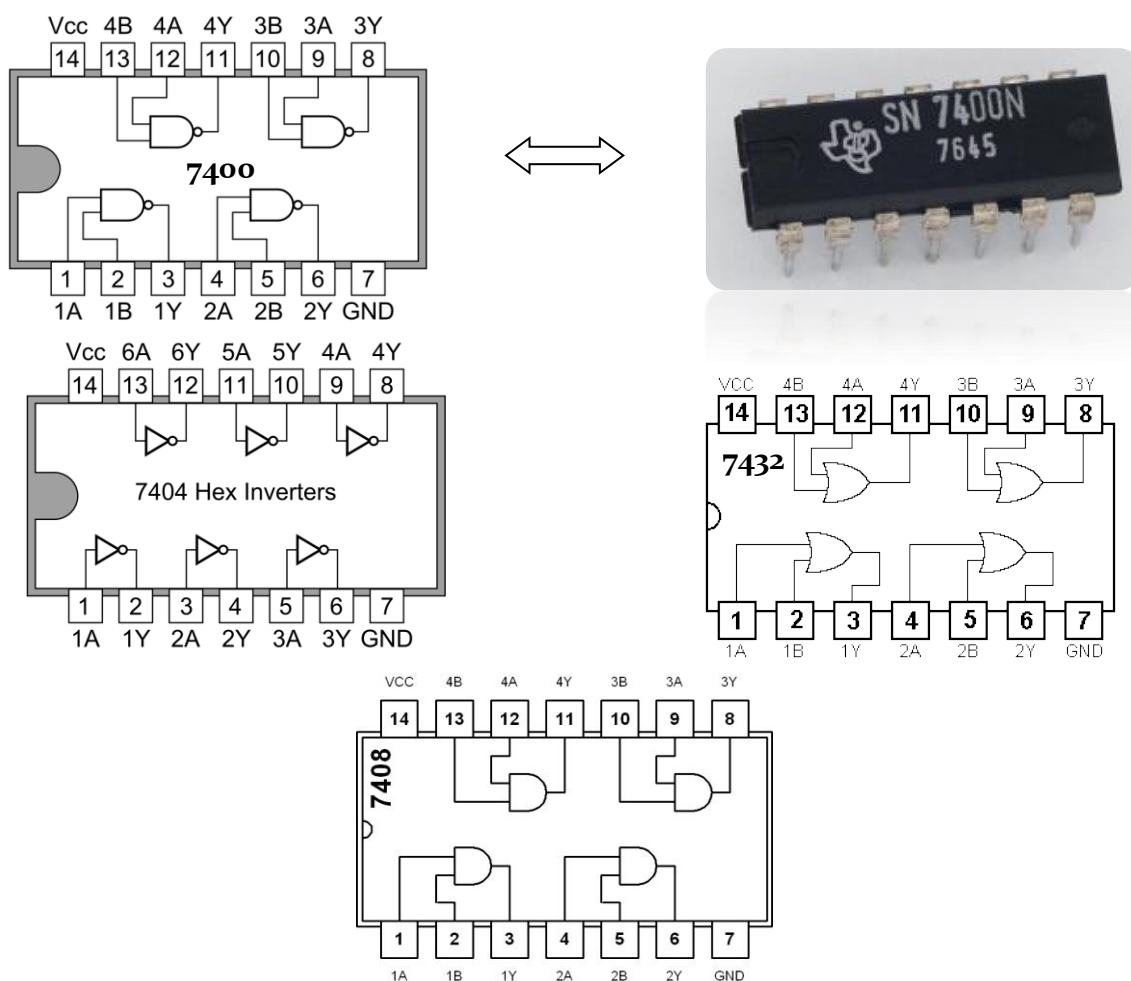
Le **OU EXCLUSIF (XOR)** est une fonction logique qui **compare** deux bits de données. Elle vaut **"1"** si les bits sont différents et **"0"** si non.

II.2. Opérateur Ou exclusif à deux entrées :

Symbole US	Symbole UE	Notation	Table de vérité		
		$S = A \oplus B$ (lire A ou exclusif B)	A	B	S

1. Remplir la table de vérité de l'opérateur **XOR** ci-dessus.
2. Etablir ses équations selon la 1^{ère} puis la 2^{ème} forme canonique ?
3. Transformer l'équation afin de réaliser un **OU exclusif** en utilisant un seul CI 74LS00.
4. Dessiner son logigramme.
5. Réaliser à partir du logigramme obtenu (avec des portes **NAND**), un **schéma de câblage** en indiquant les **numéros des broches**. Vous utiliserez une diode électroluminescente (LED) et une **résistance** de protection en série pour visualiser **S**.
6. Effectuer le câblage et procéder aux essais après **vérification du professeur**.
7. Vérifiez que la **table de vérité** remplie correspond bien à celle d'un **OU exclusif**.

BROCHAGES des Circuits Intégrés 7400, 7404, 7432 et 7408



T.P. N° 2
Portes Logiques universelles et Comparateur
SMP6 -P1
Module d'Electronique Numérique

Objectif :

- Réaliser un **comparateur** de deux nombres de **n bits**.
- Etre capable d'utiliser le logiciel Workbench afin de réaliser et vérifier le fonctionnement de ces circuits.

I. Prise en main de logiciel 'Électronique Workbench'

A- Présentation

- Lancer le logiciel **EWB**

Le logiciel se présente comme une table de manipulation. Dans le bandeau haut on trouve :

- Les **appareils de mesure** et de **génération de signaux** :



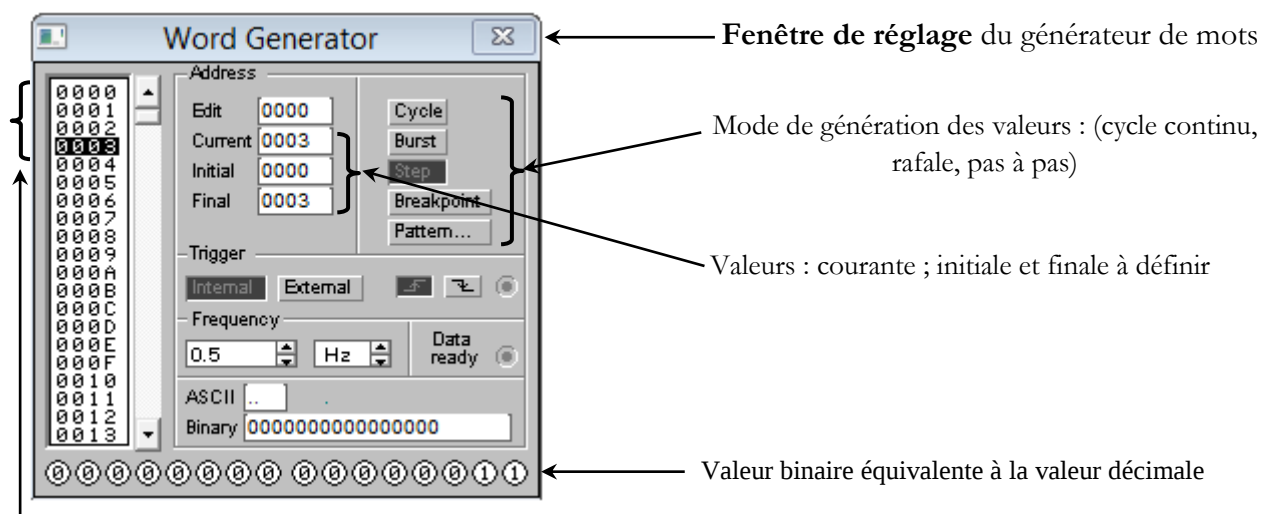
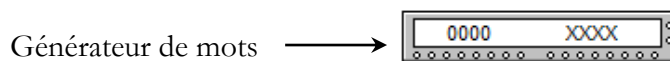
A savoir : Multimètre, Gbf, Oscilloscope, Traceur de bode, Générateur de mots, Analyseur logique, Convertisseur logique. Ces appareils ne peuvent pas être dupliqués. Nous pouvons aussi « Zoomer » ces appareils.

- Les **bibliothèques** de composants et matériels :



A chacune de ces bibliothèques se développe dans le bandeau vertical l'ensemble des composants qui lui sont associé.

- Un **Générateur** de mots en entrée :

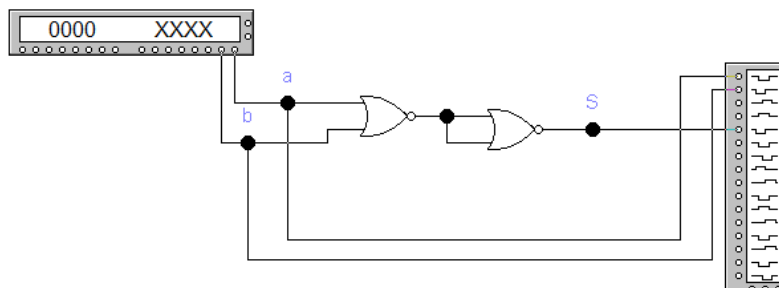


Valeurs décimales des combinaisons logiques à écrire

B- Construction du schéma :

- Portes élémentaires :

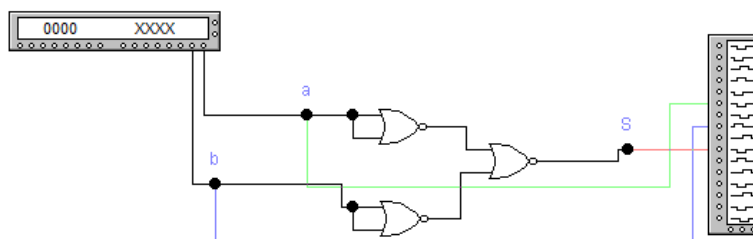
1. Réalisez et simulez le logigramme suivant en plaçant un **générateur de mots**, un **analyseur logique** et deux portes **NOR** :



- a. A partir des chronogrammes obtenus par l'analyseur logique, dresser la table de vérité et déduire l'équation de S .

- b. Quelle est la fonction obtenue.

2. Réalisez et simulez ce deuxième logigramme :



- a. Dresser la table de vérité de ce circuit et déduire l'équation de S .

- b. Quelle est la fonction ainsi obtenue.

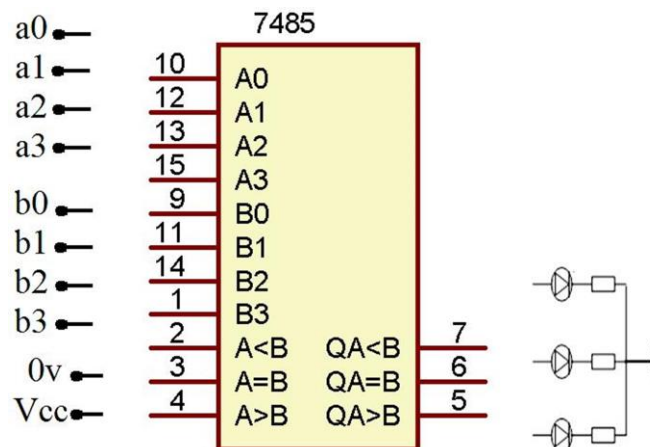
II. Comparateur

A- Dans un premier temps, on souhaite réaliser un **comparateur élémentaire** de deux mots $A = a_i$ et $B = b_i$ de **1 bit**.

8. Etablir les équations des sorties $S_{>}$, $S_{=}$ et $S_{<}$ en fonction des entrées a_i et b_i .
9. Avec les portes logiques appropriées, établir le logigramme de ce comparateur.
10. Effectuer la saisie du schéma structural électronique correspondant à ce logigramme sur Workbench. Pour l'entrée des opérandes (nombres à comparer), utilisez des interrupteurs à deux états (**swetch**). Chaque interrupteur représentera un bit. La connexion à la **terre (niveau logique bas)** signifiera un « **zéro** » ; la connexion à l'alimentation **5 V (niveau haut)** signifiera « **un** ».
11. Ajouter une **entrée de validation** pour activer ou désactiver ce comparateur.
12. Procéder à la **simulation** avec Workbench en vérifiant toutes les combinaisons possibles d'opérandes. Pour afficher les résultats, utilisez un **analyseur logique** et des **lampes**. Une **lampe** devra s'allumer lorsque le bit est à « **1** » et s'éteindre si le bit est à « **0** ».
13. Donner le **schéma bloc** de ce comparateur élémentaire appelé **cellule de base**.

B- On souhaite maintenant étendre l'amplitude du comparateur à deux mots de **2 bits** $A = a_1a_0$ et $B = b_1b_0$, la **cellule de base** de comparaison doit donc disposer d'**entrées supplémentaires** ($I_{<}$, $I_{=}$, et $I_{>}$) permettant la prise en compte, en cas d'égalité, du résultat de la comparaison des bits de poids inférieur.

1. Etablir les équations de la comparaison finale I , E et S en fonction des entrées $S_{<}$, $S_{=}$, $S_{>}$, $I_{<}$, $I_{=}$, et $I_{>}$.
2. Concevoir le schéma d'un **comparateur complet de 2 mots d'un seul bit** en associant une cellule de base et un minimum de portes élémentaires.
3. Concevoir le schéma d'un comparateur de **2 mots de 2 bits** en utilisant les comparateurs complets déjà conçus.
4. Procéder à la simulation sous Workbench en vérifiant toutes les combinaisons possibles d'opérandes.
5. Compléter le schéma de câblage d'un comparateur de **2 mots de 4 bits** à l'aide de C.I. 74LS85 (voir Fig. 1 et Fig.2)



6. Etablir le montage de comparaison de deux nombres à 5 bits à l'aide de C.I. 74LS85.

BROCHAGE des Circuits Intégrés

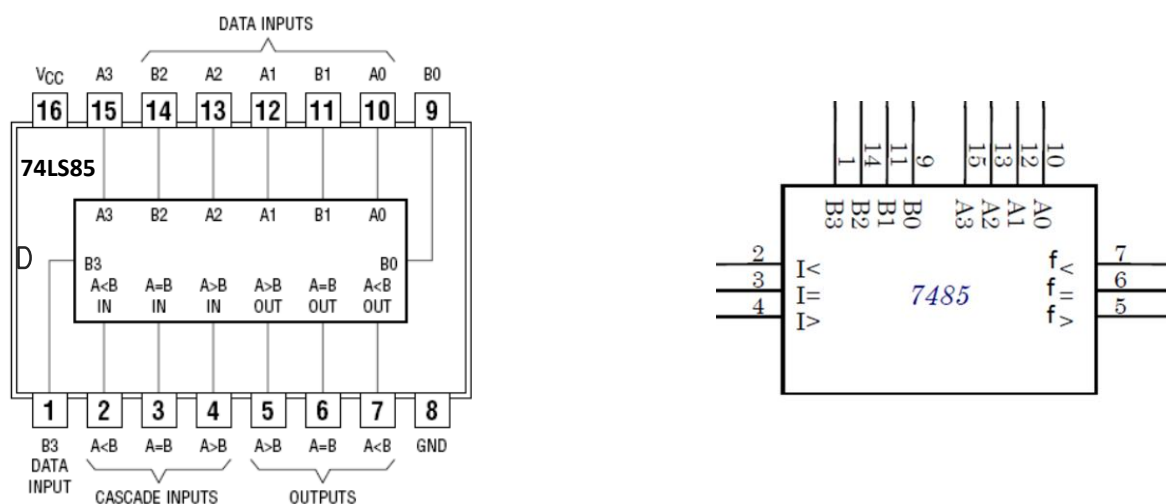


Fig. 1 – Brochage du circuit intégré 7485

Entrées des nombres				Entrées cascadables			Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	0	1	0
A3 = B3	A2 > B2	X	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0

Fig. 2 – Table de vérité du circuit intégré 7485

T.P. N° 3
Additionneur et Soustracteur
SMP6 –P1
Module d'Electronique Numérique

Objectif :

- Réaliser un **additionneur** à partir des portes **AND** et **XOR**.
- Concevoir un $\frac{1}{2}$ **soustracteur puis un soustracteur Complet**
- Concevoir un **soustracteur Complet** en se basant sur le circuit d'additionneur.
- Simulation sous le logiciel Workbench pour vérifier le fonctionnement de ces circuits.

I. Additionneur

On va étudier le mode de fonctionnement d'une calculatrice et notamment les opérations de base. Le principe de base consiste à additionner des nombres. (La soustraction se ramène à l'addition d'un nombre négatif).

A- Préparation de l'expérimentation : « Etude d'un $\frac{1}{2}$ additionneur logique »

Un demi-additionneur est un circuit logique à deux entrées et deux sorties. Les deux entrées a_i et b_i sont les deux bits à additionner. Les deux sorties sont la somme S_i et la retenue de sortie R_i de poids directement supérieur.

1. *Etablir le logigramme qui permet de faire l'addition de deux nombres de 1-bit.*
2. *Effectuer la saisie du schéma structurel électronique correspondant à votre logigramme sur Workbench.*
3. *Procéder à la simulation avec Workbench en vérifiant le fonctionnement du montage réalisé.*

B- Additionneur complet

Afin de compte de la retenue des bits de poids inférieurs, un circuit additionneur doit donc comporter trois entrées a_i , b_i et R_{i-1} et deux sorties ; le résultat est S_i et une retenue R_i .

1. *Construire l'additionneur complet à partir de deux demi-additionneurs et réaliser le montage à l'aide de Workbench.*
2. *Teste de fonctionnement du montage réalisé.*
 - a. *Vérifier toutes les combinaisons possibles d'opérandes et assurez-vous d'obtenir les bons résultats arithmétiques en sortie.*
 - b. *Dressez la table de vérité de vos résultats.*
3. *Etablir le montage additionneur de deux nombres de 2 bits :*
 - a. *En utilisant des additionneurs complets.*
 - b. *A l'aide de C.I. 74LS83 ou 4008.*

II. Etude d'un $\frac{1}{2}$ Soustracteur

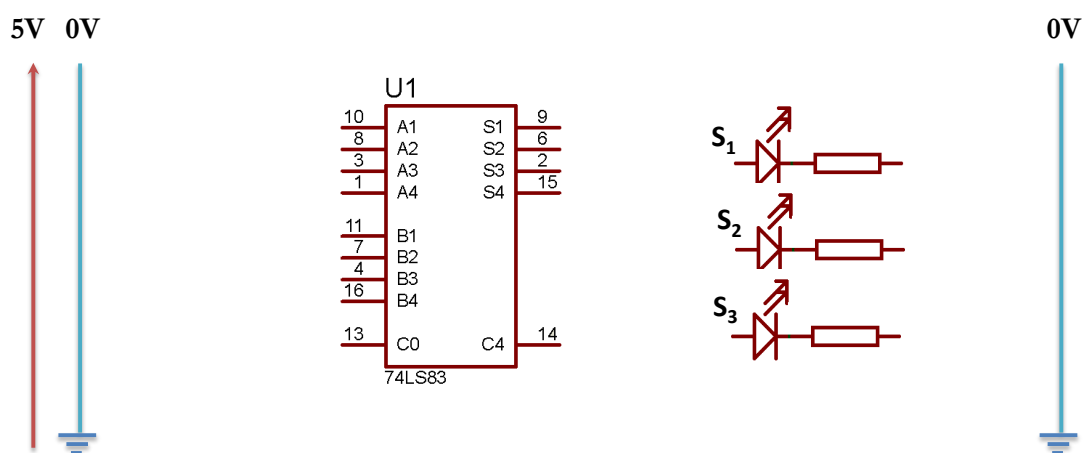
Un demi-soustracteur est un circuit logique à deux entrées et deux sorties. On veut réaliser la soustraction de deux entrées a_i et b_i . Les deux sorties sont la différence D_i et la retenue sortante R_i .

1. Dresser la table de vérité de ce $\frac{1}{2}$ soustracteur.
2. Etablir les équations logiques complètes de D_i et de R_i en fonction de a_i et b_i à partir de la table de vérité.
3. Avec les portes logiques appropriées, établir le logigramme qui permet de faire la soustraction de deux nombres de 1-bit.
4. Procéder à la simulation avec Workbench.

III. Etude d'un Soustracteur complet

Pour généraliser cette structure afin de décrire la soustraction de nombres de taille supérieure à 1 bit, il faut introduire une variable supplémentaire R_{i-1} qui représente une retenue entrante.

1. Dresser la table de vérité de ce soustracteur.
2. Construire un **soustracteur complet** à partir de deux demi-soustracteurs et réaliser le montage à l'aide de Workbench.
3. Procéder à la simulation.
 - a. Vérifier toutes les combinaisons possibles d'opérandes et assurez-vous d'obtenir les bons résultats arithmétiques en sortie.
 - b. Dressez la table de vérité de vos résultats.
4. Etablir le montage d'un soustracteur de deux nombres A et B de 2 bits chacun.
 - a. En utilisant des soustracteurs complets.
 - b. En utilisant le circuit additionneur 4008 ou 74LS83.



BROCHAGES des Circuits Intégrés

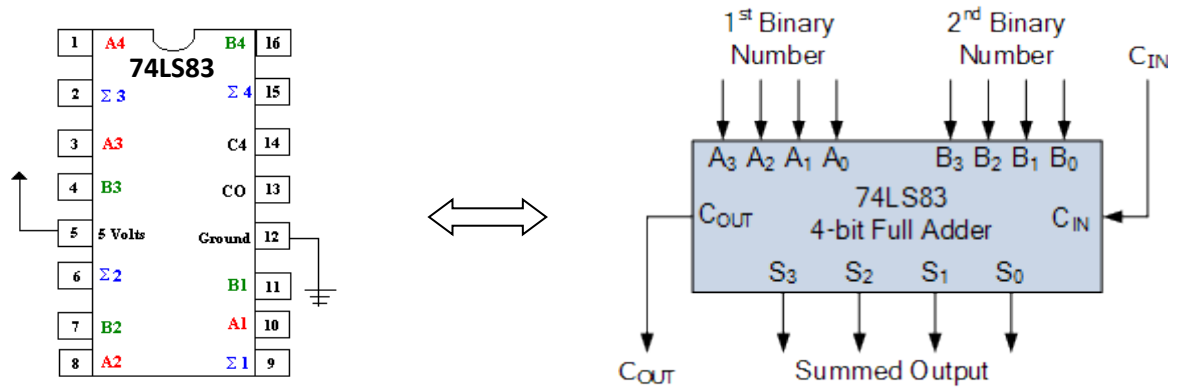


Fig. 1 – Brochage du circuit intégré 7483

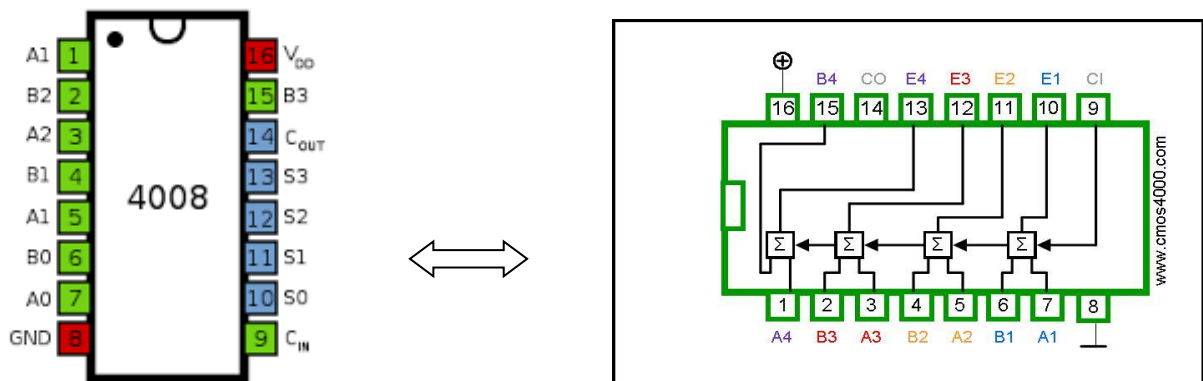


Fig. 2 – Brochage du circuit intégré 4008



T.P. N° 4
Montages à Bascules
SMP6 –P1
Module d'Electronique Numérique

Rappel

Pour certains opérateurs, l'état de la sortie dépend non seulement de la combinaison appliquée à l'entrée (**logique combinatoire**) mais aussi de l'état précédent des sorties du circuit : ils sont dits **séquentiels** et ont un effet « **mémoire** ».

La logique séquentielle est donc une logique combinatoire avec une mémorisation des sorties. Cette mémorisation est réalisée par ce qu'on appelle une **bascule** ; c'est un organe de mémorisation unitaire (mémorisation d'une seule donnée).

Objectif

Le but de ce TP est de concevoir en simulation et expérimentation les différentes bascules RS, D et JKH, ainsi qu'un compteur asynchrone à partir de portes logiques combinatoires.

I. Réalisation d'une bascule RS

Une bascule RS peut être réalisée par un circuit intégré ou par l'association d'opérateurs NON-OU (NOR) ou NON-ET (NAND).

A- RS asynchrone

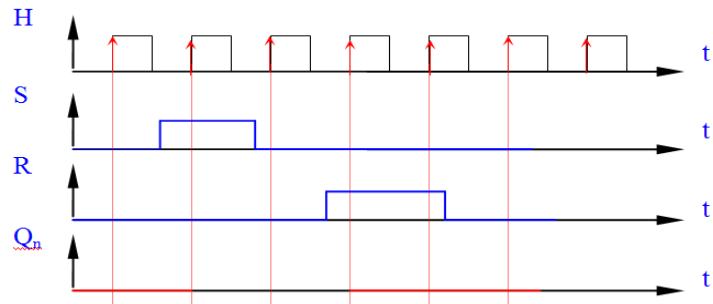
Nous commencerons ce TP par la réalisation d'une bascule asynchrone, c'est à dire une bascule dont les sorties réagissent directement sur les modifications des entrées, après délais de commutation.

1. Donner le logigramme de la bascule RS asynchrone avec des portes NAND.
2. Réaliser le montage de cette bascule à l'aide d'opérateurs logiques NAND à deux entrées du CI 74LS00.
3. Indiquer le brochage du composant sur le schéma du montage.
4. Tester l'ensemble des combinaisons possibles et déduire la table de vérité simplifiée.
5. Prenant le cas où $R=S=1$ (*cas anormale d'exploitation*), que se passe-t-il si maintenant R et S sont ramenées à 0 en même temps.

B- RSH

1. Donner le schéma de la bascule **R-S-H (synchrone)** à l'aide d'opérateurs logiques NAND.
2. Réaliser ce montage avec des portes logiques NAND à deux entrées du CI 74LS00.
3. Indiquer le brochage du composant sur le schéma du montage.
4. Tester l'ensemble des combinaisons possibles et déduire la table de vérité simplifiée.
5. Compléter le chronogramme en analysant le fonctionnement du montage

H	R	S	Q_n	$\overline{Q_n}$
0	X	X		
$\uparrow$	0	0		
$\uparrow$	0	1		
$\uparrow$	1	0		
$\uparrow$	1	1		



II. Réalisation d'une bascule D

1. Donner le schéma d'une **bascule D synchrone** à l'aide d'opérateurs logiques **NAND**.
2. Réaliser le montage de cette bascule en indiquant le brochage du composant utilisé.
3. Donner le chronogramme du montage et la table de vérité simplifiée.

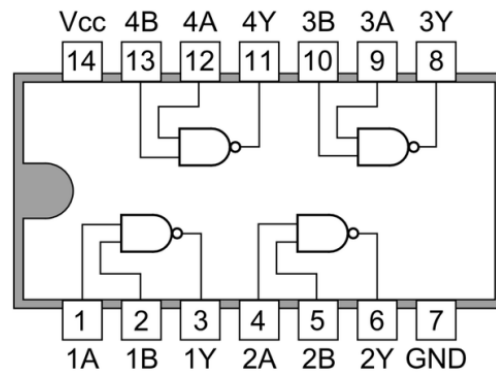
III. Réalisation d'une bascule JKH

1. Donner le schéma d'une **bascule JKH** et réaliser le montage en utilisant le C.I. **74LS73**. Investiguez ses caractéristiques d'opération. En déduire la table de transition d'état de cette bascule.
2. Déterminer **J** et **K** de manière à ce que cette bascule se comporte comme une **bascule D**.
3. Vérifier la **table de vérité** de ce pseudo bascule D.
4. Peut-on faire le montage inverse (réaliser une bascule JK à partir d'une bascule D) ?

IV. Compteur asynchrone

1. Réaliser un compteur asynchrone **modulo 4** en utilisant les circuits de la bascule JKH (**74LS73**). La sortie de ce compteur sera codée en binaire naturel.
2. Donner le montage de ce compteur.
3. Tracer le chronogramme des sorties du compteur. Quelle est la période de la sortie par rapport à la période du signal d'horloge ? Quelle est la deuxième application possible de ce compteur ?

BROCHAGE des Circuits Intégrés



74LS00

Fig. 1 – Brochage du circuit intégré 7400

Input				Output	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q_0}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	Toggle	Toggle
H	H	X	X	Q_0	$\overline{Q_0}$

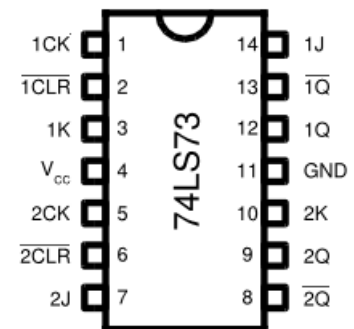


Fig. 2 – TV et Brochage du circuit intégré 7473

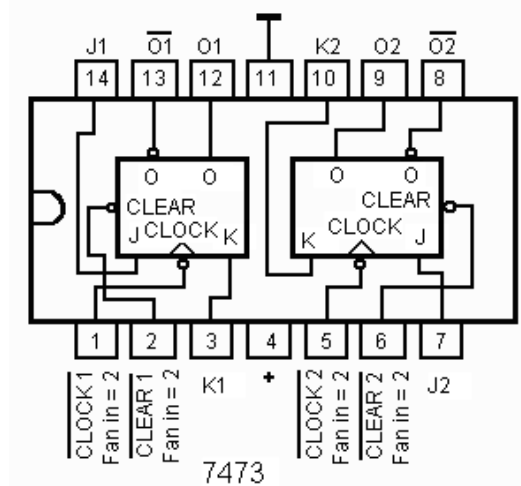
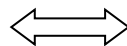
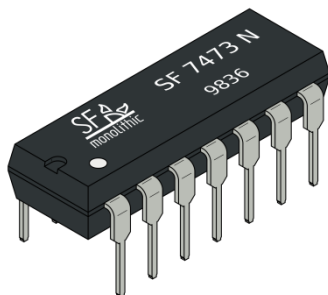


Fig. 3 – Image et structure interne du circuit intégré 7473