Chapitre 3

Les Circuits Combinatoires

I. Introduction

Un circuit combinatoire possède un certain nombre d'entrées et un certain nombre de sorties. Les sorties sont reliées aux entrées par des fonctions logiques. L'aspect temporel n'intervient pas, contrairement aux circuits logiques séquentiels.

Les circuits combinatoires sont établis à partir d'une opération appelée synthèse combinatoire. Cette synthèse est définie comme étant la traduction d'une fonction logique, à partir d'un cahier des charges, en un schéma. Diverses méthodes de synthèse sont possibles ; elles diffèrent sur la forme de la fonction utilisée (canonique ou simplifiée), sur le type des opérateurs ou des circuits intégrés choisis, et sur la technique de découpage fonctionnel employée.

Dans cette partie, nous allons étudier quelques grandes circuits combinatoires couramment utilisées.

II. Additionneur

Nous allons dans cette section voir comment construire un circuit pour l'addition de 2 nombres en binaire. Ce circuit étant assez complexe, nous allons le réaliser en plusieurs étapes :

- Le demi-additionneur fera une simple addition de deux bits.
- L'additionneur complet devra ajouter à cette addition celle d'un report précédent.
- Enfin nous assemblerons n additionneurs pour faire l'addition de nombres de n bits.

II.1. Demi-Additionneur (Half Adder)

Le demi-additionneur effectue la somme de deux bits. ***S*** est la **somme** et ***R*** le **report** (carry). Le demi-additionneur ne tient pas compte d'une retenue antérieure.

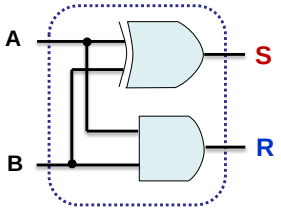
Table de vérité :

A	B	R	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Equations de sortie :

$$R = A.B$$
$$S = \overline{A}.B + A.\overline{B} = A \oplus B$$

Logigramme :



Ce schéma n'est cependant pas suffisant pour réaliser la somme de nombres de plusieurs bits. Car il ne prend pas en compte une éventuelle retenue provenant du résultat de l'addition des 2 bits de rang directement inférieur.

On voit bien que l'addition arithmétique sur **1 bit** s'apparente au **OU Exclusif**.

II.2. Additionneur complet (Full Adder)

II.2.1 Addition complète sur 1 bit

Pour tenir compte du report précédent, il faut prévoir un circuit avec **3** entrées et **2** sorties.

Un additionneur complet comporte donc **3** entrées : les deux bits à additionner a_i et b_i, et la retenue issue de l'addition de deux bits de rang inferieurs (dite entrante), r_{i-1} .

Il possède **2** sorties : la somme S et la retenue sortante R_i .

Table de vérité :

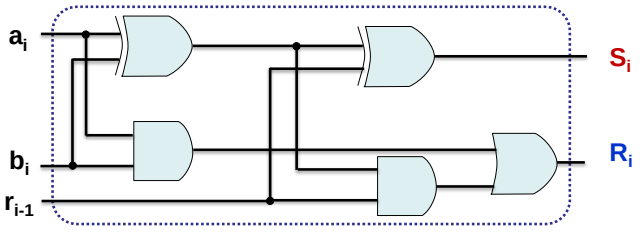
a_i	b_i	r_{i-1}	R_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Equations de sortie :

$$S_i = a_i \oplus b_i \oplus r_{i-1}$$

$$R_i = a_i \cdot b_i + r_{i-1}(a_i \oplus b_i)$$

Logigramme :



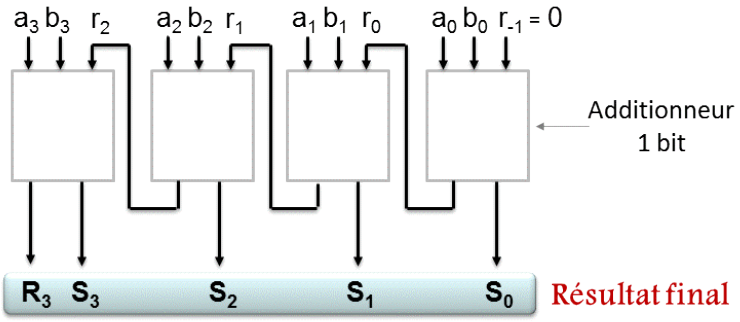
❖ ***Remarque 3.1 :***

Cette structure montre la possibilité de réaliser un additionneur complet à partir de deux demi-additionneurs et d'une porte "**OR**".

On peut représenter ce circuit sous la forme d'une boite noire :

II.2.2 Addition de deux nombre binaires de n bits

L'addition de deux mots de **n bits** nécessite **n additionneurs**. La retenue se propage des éléments binaires de poids le plus faible vers les éléments binaires de poids le plus fort. Le schéma suivant présente un exemple d'un additionneur de mots de **4 bits** :



L'entrée de retenue du premier additionneur (R_{-1}) est mise à **0**. La sortie de retenue du dernier additionneur (R_3).

Cette architecture est intéressante d'un point de vue matériel car elle est répétitive. Par contre, le résultat obtenu dépend du nombre d'additionneurs donc de la taille des mots à additionner. La retenue R_0 est délivrée après la première addition et ainsi de suite.

III. Comparateur

Les comparateurs logiques dits aussi circuits d'identification permettent de comparer deux nombres A et B de **n** bits. En général, le résultat de la comparaison est fourni sur **3 sorties** :

$$A = B \Rightarrow S_{=} = 1,$$
$$A > B \Rightarrow S_{>} = 1,$$
$$A < B \Rightarrow S_{<} = 1.$$

Deux nombres $A = a_{n-1}\dots a_1 a_0$ et $B = b_{n-1}\dots b_1 b_0$ sont égaux si tous les bits du même poids sont égaux.

III.1. Comparateur élémentaire de deux nombres de 1 bits

Etudions un circuit de comparaison entre deux bits :

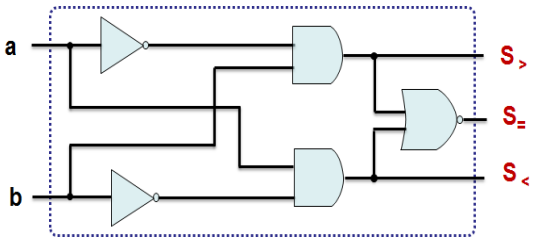
Table de vérité :

a	b	$S_>$	$S_=$	$S_<$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Equations de sortie :

$$S_{>} = a.\bar{b}$$
$$S_{<} = \bar{a}b$$
$$S_{=} = \bar{a}\bar{b} + ab = \overline{a \oplus b} = \overline{S_{>} + S_{<}}$$

Logigramme :

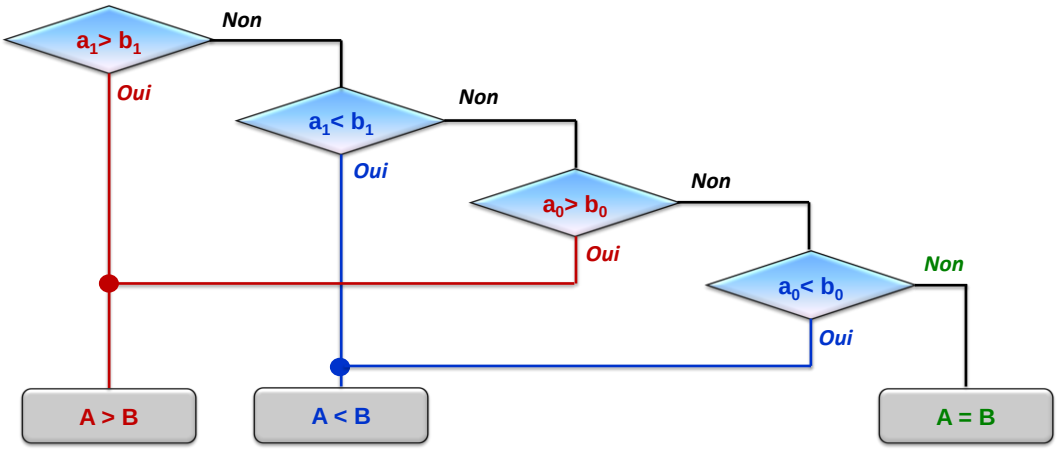


III.2. Comparateur de deux nombres de n bits

❖ ***Principe et organigramme :***

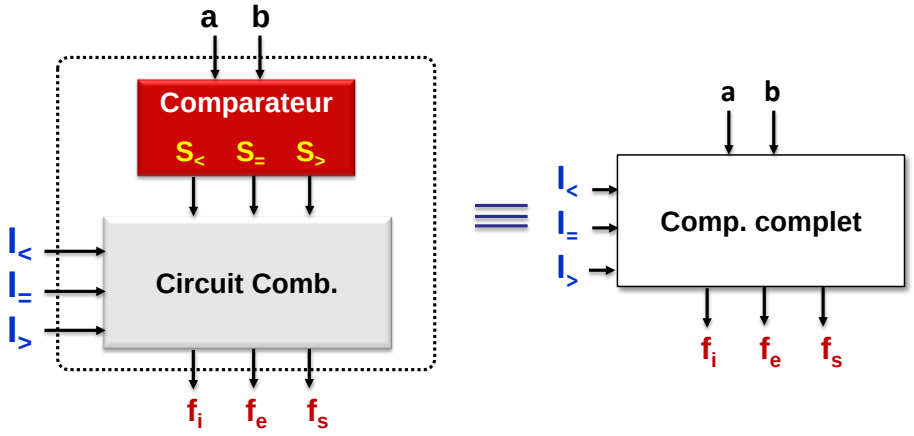
Prenant l'exemple de deux nombres ***A*** et ***B*** de **deux** bits : $A = a_1a_0$; $B = b_1b_0$

La démarche de comparaison est la suivante :



On commence par comparer les bits de **poids forts** et on ne passe aux bits de poids Inférieur qu'en cas d'égalité.

La **cellule de base** de comparaison doit donc disposer d'entrées permettant la prise en compte du résultat de la comparaison des bits de **poids inférieur**.



- $I_<$; $I_=$ et $I_>$: **Entrées** recevant le résultat de la comparaison des bits de **poids inférieur**.
- D'après **l'organigramme**, les entrées $I_<$; $I_=$ et $I_>$ ne sont prises en compte qu'on cas d'égalité des bits de poids supérieur ($S_= = 1$). Dans ce cas leur état est directement transmis vers les sorties f_i ; f_e et f_s.

Table de vérité :

a	b	$S_>$	$S_=$	$S_<$	$I_>$	$I_=$	$I_<$	f_S	f_e	f_i
1	0	**1**	0	0	X	X	X	**1**	0	0
0	1	0	0	**1**	X	X	X	0	0	**1**
0	0				**1**	0	0	**1**	0	0
		0	**1**	0	0	**1**	0	0	**1**	0
1	**1**				0	0	**1**	0	0	**1**

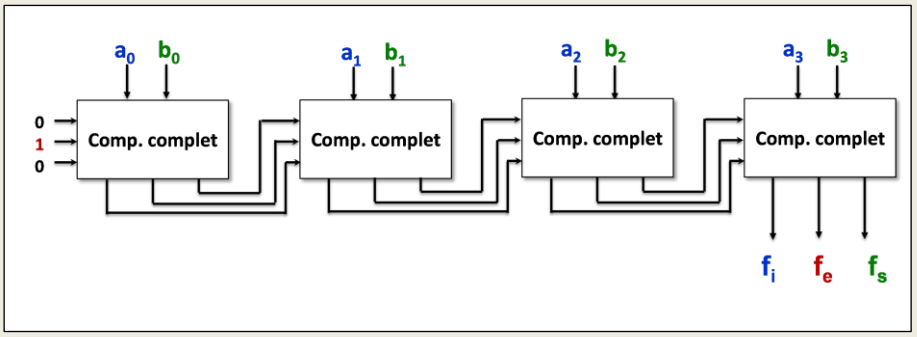
- A partir de la table de vérité, on déduit les **équations de sorties** : f_s ; f_e et f_i.

$$\begin{cases} f_s = S_{\rangle} + S_{=} I_{\rangle} \\ f_e = S_{=} I_{=} \\ f_i = S_{\langle} + S_{=} I_{\langle} \end{cases}$$

EXEMPLE 3.1 :

Comparaison de deux nombres de 4 bits

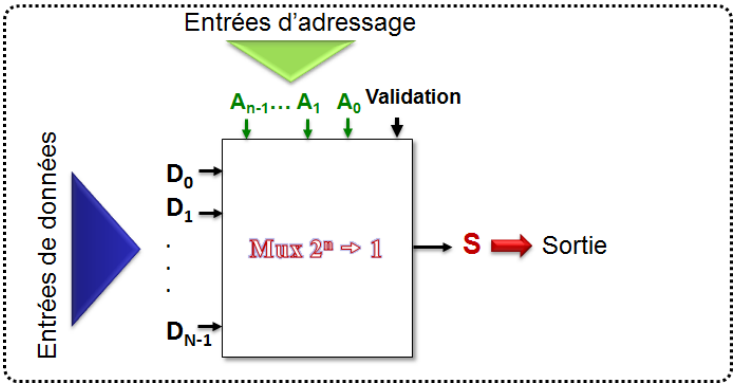
Le comparateur **4 bits** sera réalisé par la mise **en cascade** de **4 comparateurs de 1 bit**. Le résultt de la comparaison est recueilli sur la sortie du dernier comparateur :



IV. Multiplexeur/ Démultiplexeur

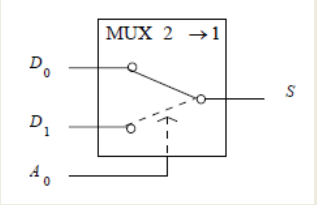
IV.1. Multiplexeur

Un multiplexeur (Mux) est un circuit à 2^n **entrées** d'informations, n entrées de sélection, et **une sortie unique**. Il permet l'aiguillage (par la commande de **n entrées d'adresse**) de l'une de ces entrées vers la sortie.



- La relation entre le nombre des entrées **de données** et des entrées **d'adressage** est : $N=2^n$

EXEMPLE 3.2 : **Multiplexeur 2 → 1 :** **Table de vérité :** **Equation de S :**



A_0	S
0	D_0
1	D_1

$$S = D_0 \ si \ A_0 = 0$$
$$S = D_1 \ si \ A_0 = 1$$

De façon générale, la sortie d'un multiplexeur à ***n*** entrées d'adresses s'exprime en fonction des entrées de données D_i et des mintermes m_i sur les entrées d'adresses :

$$S = \sum_{i=0}^{2^n-1} D_i m_i$$

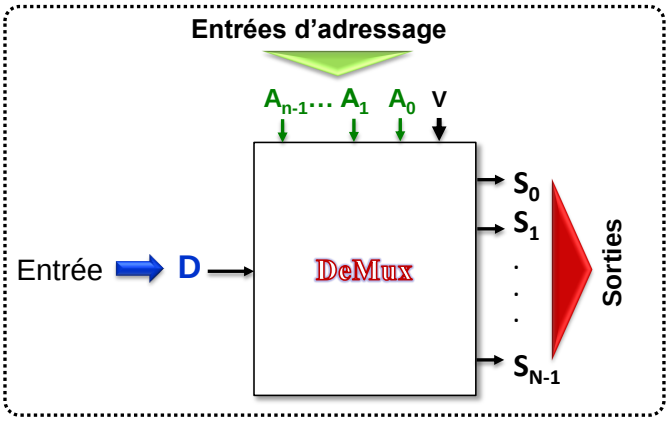
IV.2. Démultiplexeur

Il joue le rôle inverse d'un multiplexeur, il permet de faire passer **une donnée** dans **l'une** des 2^n sorties selon les valeurs des entrées de commandes ou d'adresses (**n** entrées d'adresses).

Le module sélection ou adressage joue presque le même rôle que dans le **Mux**. Il permet de **sélectionner la sortie** qui doit **recevoir l'information** de l'entrée.

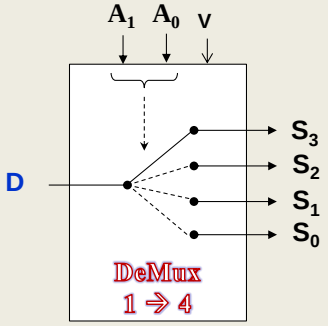
Un **DeMux** possède :

- une **seule** entrée
- **N=2^n** sorties
- **n** entrées de sélection (commandes)



EXEMPLE 3. 3 :

Exemple d'un DeMux (1 → 4)



V	A_1	A_0	S_3	S_2	S_1	S_0
0	X	X	0	0	0	0
1	0	0	0	0	0	D
1	0	1	0	0	D	0
1	1	0	0	D	0	0
1	1	1	D	0	0	0

$$S_0 = V.\overline{A_1}.\overline{A_0}.D \quad S_2 = V.A_1.\overline{A_0}.D$$
$$S_1 = V.\overline{A_1}.A_0.D \quad S_3 = V.A_1.A_0.D$$

IV.3. Applications des multiplexeurs

IV.3.1 Générateur de fonctions

Toute fonction logique peut être réalisée à partir des **MUX**. Les entrées de sélection (**commande**) sont alors les **variables de la fonction**.

IV.3.2 Conversion parallèle ↔ série

Considérons un mot de **n bits**, il peut être transmis soit sur un fil unique, bit après bit (transmission série), soit sur plusieurs fils à la fois, un fil par bit (transmission parallèle).

Conversion parallèle ➝ série : elle est effectuée à l'aide d'un multiplexeur : on envoie en entrée les **n bits** du mot à transmettre, et en même temps, on fait varier les bits d'adresse en les incrémentant. En sortie on obtient **la série** des **n bits** du mot.

Conversion série ➝ parallèle : elle est effectuée à l'aide d'un démultiplexeur. On envoie en entrée successivement les **n bits** du mot, et en même temps, on fait varier les bits d'adresse en les incrémentant. En sortie, les fils doivent être reliés à une mémoire, qui stocke l'un après l'autre les bits du mot.

V. Décodeur, Codeur, transcodeur

V.1. Décodeur

Un **décodeur** est un circuit **logique combinatoire** qui a une **entrée binaire** de **n bits** et **2^n sorties**. Pour chaque **combinaison d'entrée**, une **seule ligne de sortie est activée à la fois**.

❖ **Principe d'un décodeur (2 ➝ 4) :**

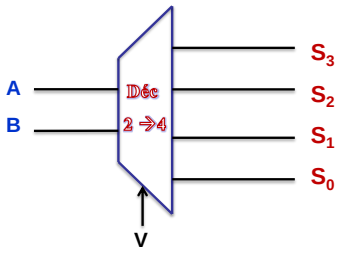


Table de vérité :

V	A	B		S_3	S_2	S_1	S_0
0	X	X		0	0	0	0
1	0	0		0	0	0	1
1	0	1		0	0	1	0
1	1	0		0	1	0	0
1	1	1		1	0	0	0

Equations de sorties :

$$S_0 = (\overline{A}.\overline{B}).V$$
$$S_1 = (\overline{A}.B).V$$
$$S_2 = (A.\overline{B}).V$$
$$S_3 = (A.B).V$$

❖ ***Remarque 3.2 :***

La plupart des décodeurs sont dotés d'une ou plusieurs entrées de **validation** (**V**) qui commandent son fonctionnement.

V.2. Codeur

Un codeur est un circuit à 2^n **entrées** et **n sorties** qui code en binaire le rang de la **seule entrée active**.

❖ **Principe d'un codeur (4 → 2) :**

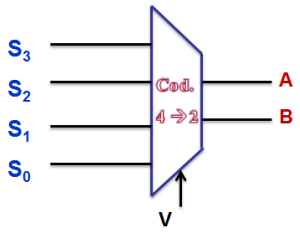


Table de vérité :

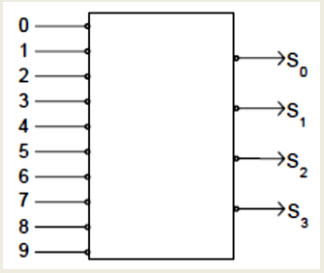
V	S_3	S_2	S_1	S_0		A	B
0	x	x	x	X		0	0
1	0	0	0	1		0	0
1	0	0	1	0		0	1
1	0	1	0	0		1	0
1	1	0	0	0		1	1

Equations de sorties :

$$A = \left(\overline{S_1}.\overline{S_0}(S_3 \oplus S_2)\right).V$$
$$B = \left(\overline{S_2}.\overline{S_0}(S_3 \oplus S_1)\right).V$$

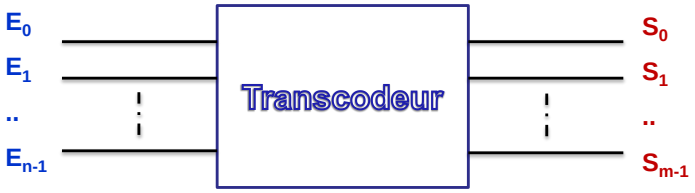
EXEMPLE 3. 4 :

Comme exemple, on peut penser au codeur **décimal → BCD**



V.3. Transcodeur

Le **transcodeur** désigne l'ensemble des ***codeurs***, ***décodeurs*** ou encore ***convertisseur*** de codes. Ces circuits combinatoires permettent de **transformer** une **information** présentée à **l'entrée** sous forme d'un **code X** (**sur n bit**) en la même information sous un **code Y** (sur **m bit**) en **sortie**.



- Un **codeur** est un **transcodeur** avec 2^n **entrée et n sorties**.
- Un **décodeur** est un **transcodeur** avec **n entrée et** 2^n **sorties**.
- Un **transcodeur** est un circuit de transcodage de **n entrées** vers **m sorties**.

❖ Etapes de réalisation d'un transcodeurs :

A partir d'un cahier des charges on établit :

❶ **TV** pour extraire les relations entre les **sorties** et les **entrées (définition des fonctions) ;**

❷ **Simplification** des fonctions obtenues ;

❸ Réalisation des **logigrammes** ;

❹ La **conception** des circuits à l'aide des techniques disponibles.

EXEMPLE 3. 5 :

Code binaire pur ➙ code Gray (2 bits)

Table de vérité :

E_1	E_0		S_1	S_0
0	0		0	0
0	1		0	1
1	0		1	1
1	1		1	0

Equations de sortie :

$$S_1 = E_1$$
$$S_0 = E_1 \oplus E_0$$

Logigramme :