



**Examens**  
**Année Universitaire**  
**2016-2017**

Nom : .....	Code : .....	Nombre d'intercalaire : .....
Prénom : .....	Groupe : .....	

**Question de cours. (1,5 pt)**

Définir un Encodeur prioritaire, un Multiplexeur et un Démultiplexeur :

.....

.....

.....

.....

.....

**Exercice I : (4,5 pts)**

1. Exprimer la fonction  $f$  du **tableau 1** à l'aide :

**Tableau. 1**

X	Y	Z	$f$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

a. de mintermes ?

.....

.....

.....

b. de maxtermes ?

.....

.....

2. Simplifier algébriquement cette fonction ?

.....

.....

.....

3. Déduire le logigramme à partir de la fonction simplifiée ?

.....

.....

.....

4. En se basant sur ce logigramme et **sans faire de calculs algébriques**, transformer les portes de ce logigramme à des portes **NAND** ?

.....

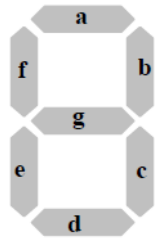
.....

.....

.....

**Exercice II : (6 pts)**

En binaire un chiffre décimal (de 0 à 9) est codé sur 4 bits ( $a b c d$ ) dans l'ordre des poids décroissants. Ce chiffre est visualisé sur un afficheur 7 segments représenté ci-après. Chaque segment est représenté par une lettre allant de  $a$  à  $g$ . On s'intéresse par les segments  $a$  et  $d$ .



- Remplir cette table de vérité et déduire les expressions logiques sous forme des sommes des mintermes des fonctions logiques  $f_a$  et  $f_b$  valant 1 lorsque les segments  $a$  et  $d$  de l'afficheur sont allumés.

Chiffre	$a$	$b$	$c$	$d$	$f_a$	$f_d$

.....

.....

.....

.....

.....

.....

.....

.....

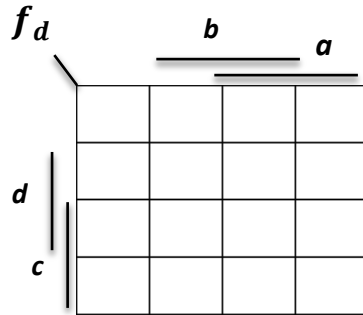
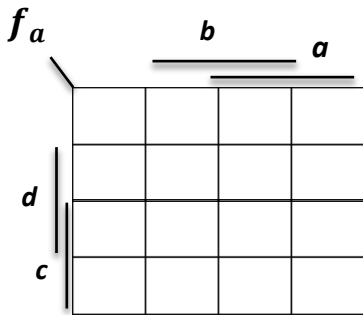
.....

.....

.....

.....

- Simplifier les fonctions précédentes en utilisant des tables de Karnaugh.



$f_a =$ .....  $f_d =$ .....

- Donner le logigramme de la fonction  $f_a$  avec un **minimum** de portes logiques NOR et NAND

.....

.....

.....

.....

.....

.....

.....

- A l'aide d'un multiplexeur à 3 entrées d'adresses, réaliser la fonction  $f_d$ .

.....

.....

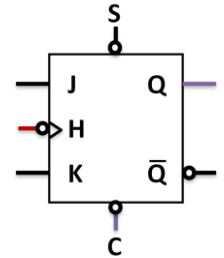
.....

.....

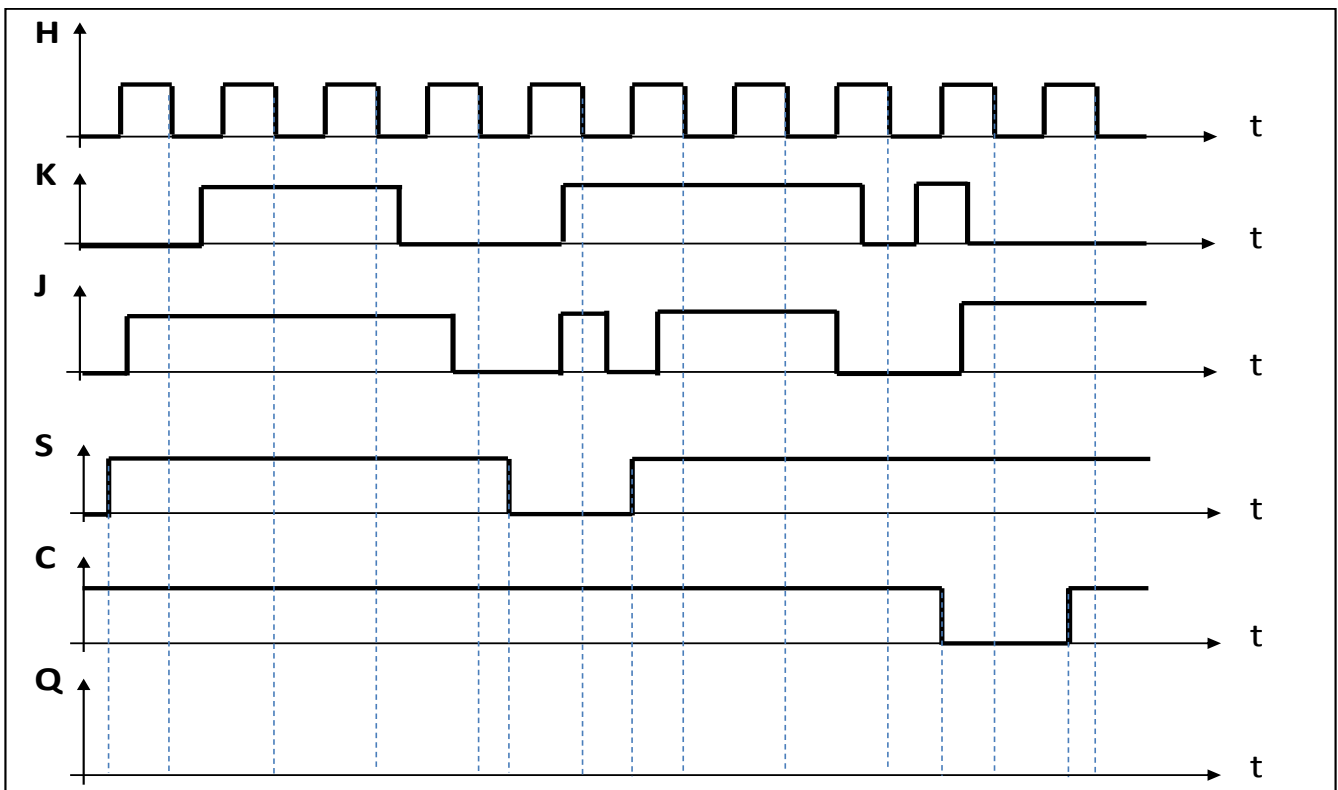
**Exercice III : (8 pts)**

Soit la bascule **JK** ci-après :

**Partie A :**



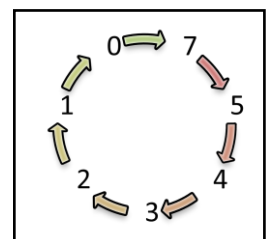
1. Donner le type de cette bascule.  
.....  
.....
2. Quel niveau logique doivent prendre les deux entrées  $S$  et  $C$  pour avoir le mode de **fonctionnement synchrone** de la bascule.  
.....  
.....
3. Le signal d'horloge a-t-il une influence sur la sortie  $Q$  pour le cas  $S = 0$  et  $C = 1$  ? justifier la réponse  
.....  
.....
4. Compléter le chronogramme de la sortie  $Q$  de cette bascule.



**Partie B :**

On désire maintenant effectuer la synthèse d'un **décompteur synchrone** évoluant de **7 à 0** selon le diagramme des états ci-après.

Les sorties  $Q_2$ ,  $Q_1$ , et  $Q_0$  des bascules JK ont respectivement les poids **4, 2 et 1**.

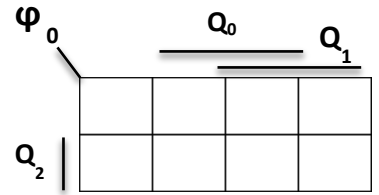
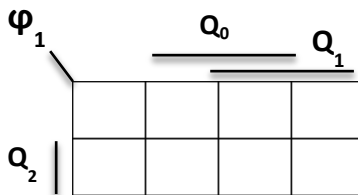
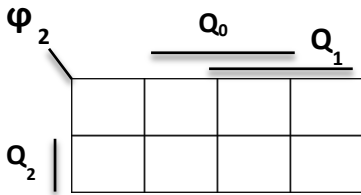




1. Compléter la table de transition suivante en y écrivant les valeurs des fonctions de commutation.

Etat	$Q_2$	$Q_1$	$Q_0$	$\varphi_2$	$\varphi_1$	$\varphi_0$

2. Remplir les tableaux de Karnaugh correspondant à ces fonctions de commutation, puis donner l'équation réduite de chaque fonction. (Dessiner les groupements sur les tables)



$\varphi_2 = \dots\dots\dots$

$\varphi_1 = \dots\dots\dots$

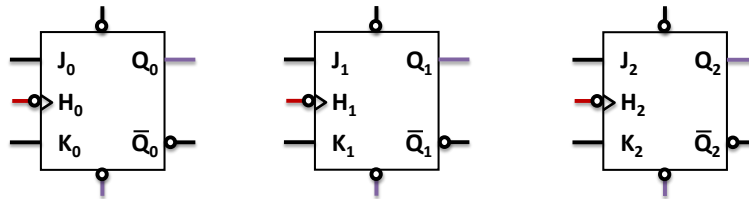
$\varphi_0 = \dots\dots\dots$

3. Déduire les équations des entrées  $J_0, K_0, J_1, K_1, J_2$  et  $K_2$  des bascules.

.....  
 .....  
 .....

4. Tracer le logigramme de ce compteur.

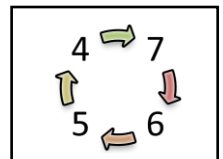
.....  
 .....



.....  
 .....

5. Explique comment peut-on rendre ce compteur évoluant juste de 7 à 4 selon le diagramme des états ci-après.

.....  
 .....  
 .....  
 .....

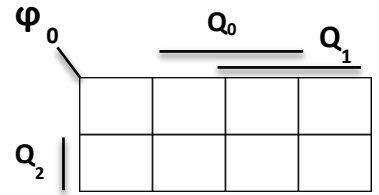
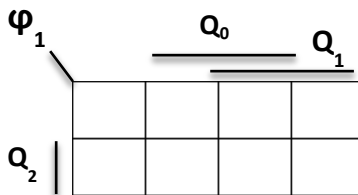
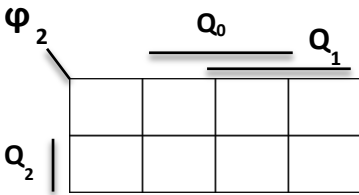


Bon courage!

1. Compléter la table de transition suivante en y écrivant les valeurs des fonctions de commutation.

Etat	$Q_2$	$Q_1$	$Q_0$	$\varphi_2$	$\varphi_1$	$\varphi_0$

2. Remplir les tableaux de Karnaugh correspondant à ces fonctions de commutation, puis donner l'équation réduite de chaque fonction. (Dessiner les groupements sur les tables)



$\varphi_2 = \dots\dots\dots$

$\varphi_1 = \dots\dots\dots$

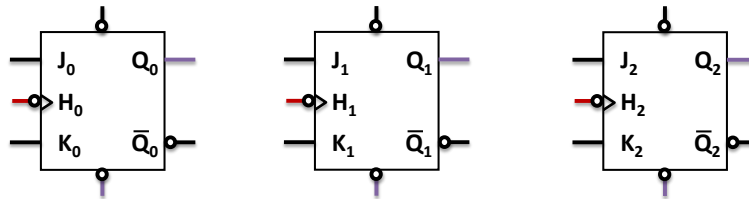
$\varphi_0 = \dots\dots\dots$

3. Déduire les équations des entrées  $J_0, K_0, J_1, K_1, J_2$  et  $K_2$  des bascules.

.....  
 .....  
 .....

4. Tracer le logigramme de ce compteur.

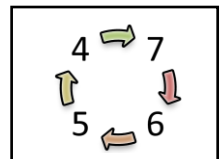
.....  
 .....



.....  
 .....

5. Explique comment peut-on rendre ce compteur évoluant juste de 7 à 4 selon le diagramme des états ci-après.

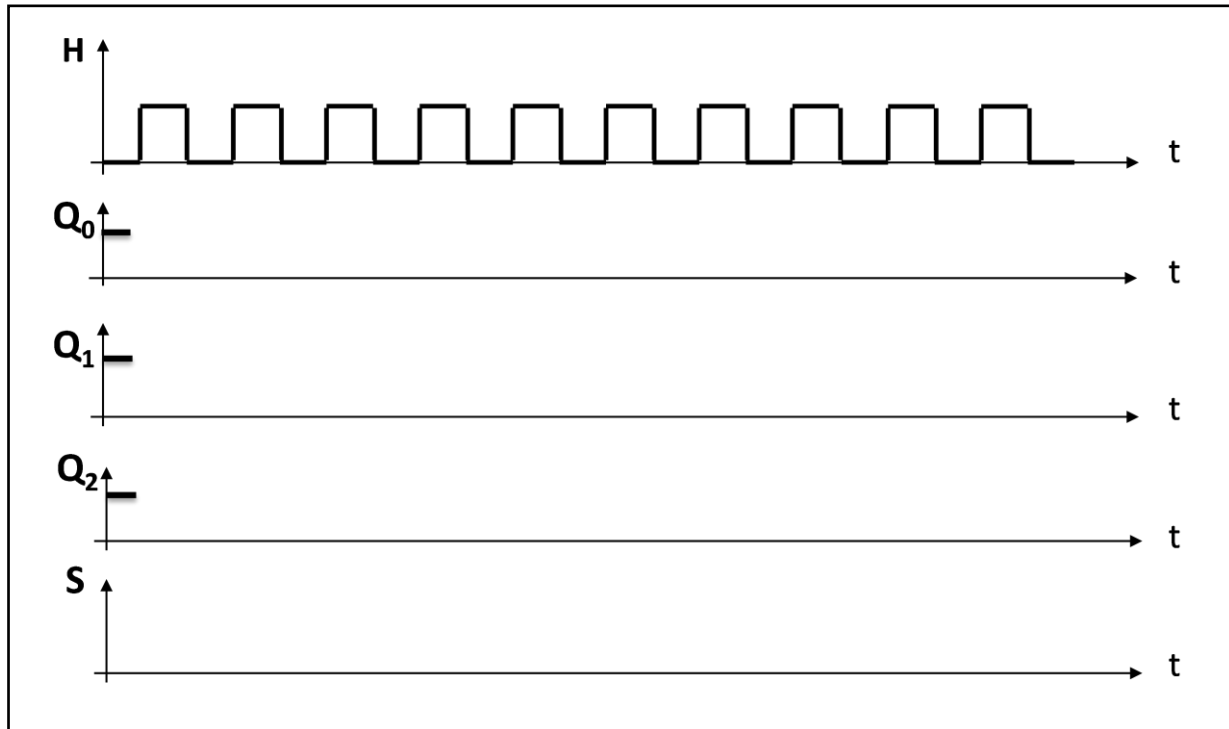
.....  
 .....  
 .....  
 .....  
 .....



Bon courage!

2. Quel est le rôle de l'entrée  $S_i$ . A quel niveau est-elle active ? Cette entrée est dite prioritaire, qu'entendez-vous par là ?

3. Compléter les chronogrammes suivants (à l'état initial,  $Q_0 = Q_1 = Q_2 = 1$ ) :

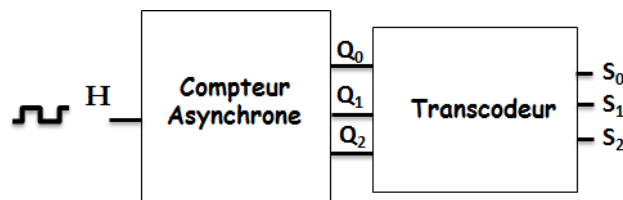


4. Convertir en décimal les trois bits binaires  $Q_2Q_1Q_0$  en prenant pour bit de poids fort  $Q_2$ .

5. Quelle est la fonction ainsi réalisée ? Donner un nom à cette structure (**modulo**).

### Exercice III : (9 pts)

- A. On désire dans un premier temps, réaliser un **compteur** qui génère le **code Gray** (binaire réfléchi) **sur 3 bits**, à l'aide d'un **compteur asynchrone** et un **transcodeur**.



1. Donner le schéma de câblage correspondant au **compteur asynchrone**.

2. Exprimer les sorties  $S_0$ ,  $S_1$  et  $S_2$  en fonction des  $Q_0$ ,  $Q_1$  et  $Q_2$ .

.....

.....

.....

3. Donner le schéma de câblage correspondant au **Transcodeur**.

.....

.....

.....

.....

.....

**B.** On désire maintenant réaliser un **compteur synchrone, modulo 8 en code Gray**, à l'aide des bascules **JK** synchronisées sur front montant.

1. Combien de bascules sont-elles nécessaires à la réalisation de ce compteur ? Justifier.

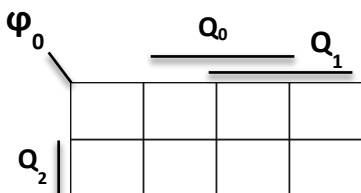
.....

.....

2. Compléter la table de transition suivante en y écrivant les valeurs des fonctions de commutation ( $Q_2$  est le bit de poids **fort** et  $Q_0$  est le bit de poids **faible**).

Etat	$Q_2$	$Q_1$	$Q_0$	$\varphi_2$	$\varphi_1$	$\varphi_0$

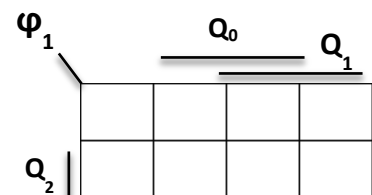
3. Remplir les tableaux de Karnaugh correspondant à ces fonctions de commutation, puis donner l'équation réduite de chaque fonction.



$\varphi_0 =$  .....

.....

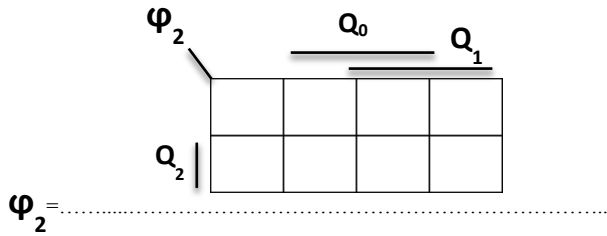
.....



$\varphi_1 =$  .....

.....

.....



4. Déduire les équations des entrées  $J_0, K_0, J_1, K_1, J_2$  et  $K_2$  des bascules.

.....

.....

.....

.....

.....

.....

5. Dessiner le schéma de câblage (Logigramme) de ce compteur.

.....

.....

.....

.....

.....

.....

.....

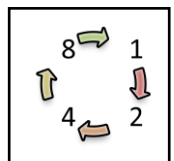
.....

.....

.....

C. Proposer un Schéma de câblage d'un compteur énumérant la séquence suivante :

Ce compteur doit être composé d'un compteur asynchrone modulo 4 et d'un décodeur.



.....

.....

.....

.....

.....

.....

.....

.....

.....

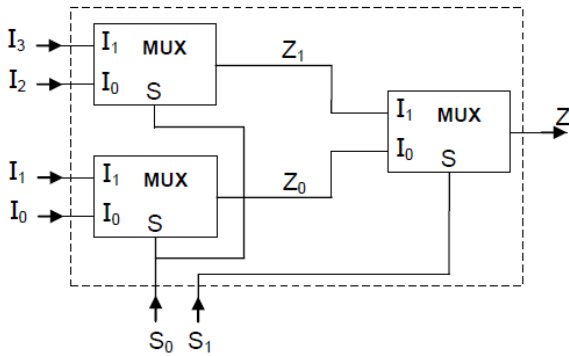
.....

Bon courage!

Nom : .....	Code : .....	Nombre d'intercalaire : .....
Prénom : .....	Groupe : .....	

**Exercice I : (4 pts)**

1. Compléter les tables de vérités relatives au circuit suivant :



$S_0$	$Z_0$
0	$I_0$
1	..

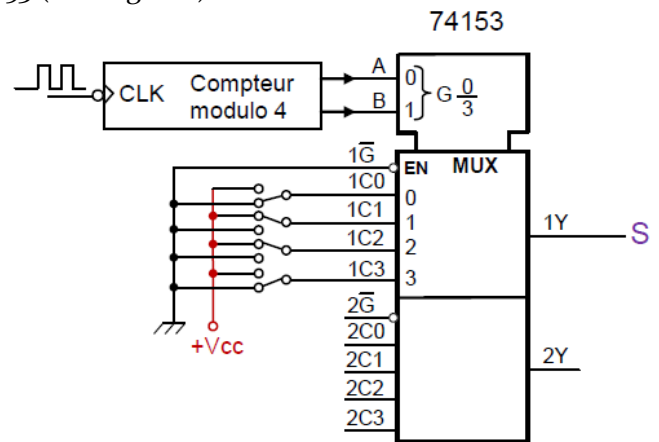
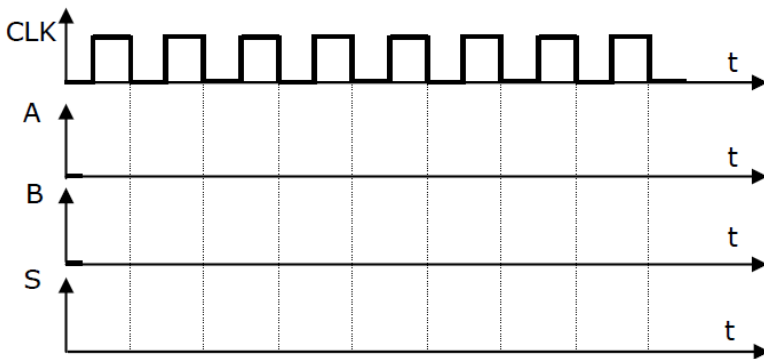
$S_1$	$S_0$	$Z_0$	$Z_1$	$Z$
0	0	$I_0$	$I_2$	
0	1			
1	0			
1	1			

2. Déduire la fonction réalisée par ce circuit :

**Exercice II : (4 pts)**

On donne le circuit ci-contre, utilisant le circuit intégré 74153 (Voir figure 1) :

1. Tracer les chronogrammes de  $A$ ,  $B$  et  $S$ .



**Figure 1**

2. Etablir l'expression de la fonction  $S$ .

3. Déduire la fonction réalisée par ce montage :

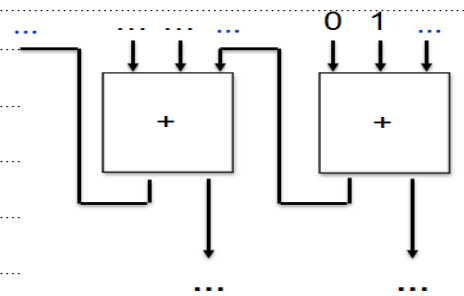
**Exercice III : (6 pts)**

Un additionneur complet est un dispositif disposant 3 entrées ( $a$ ,  $b$  et  $r_{in}$ ) et de deux sorties ( $S$  et  $r_{out}$ ).  $S$  : somme ;  $r_{in}$  : retenue entrante ;  $r_{out}$  : retenue sortante ;  $a$  et  $b$  : 2 bits à additionner.

1. Donner le logigramme de l'additionneur complet en utilisant 2 demi-additionneurs.

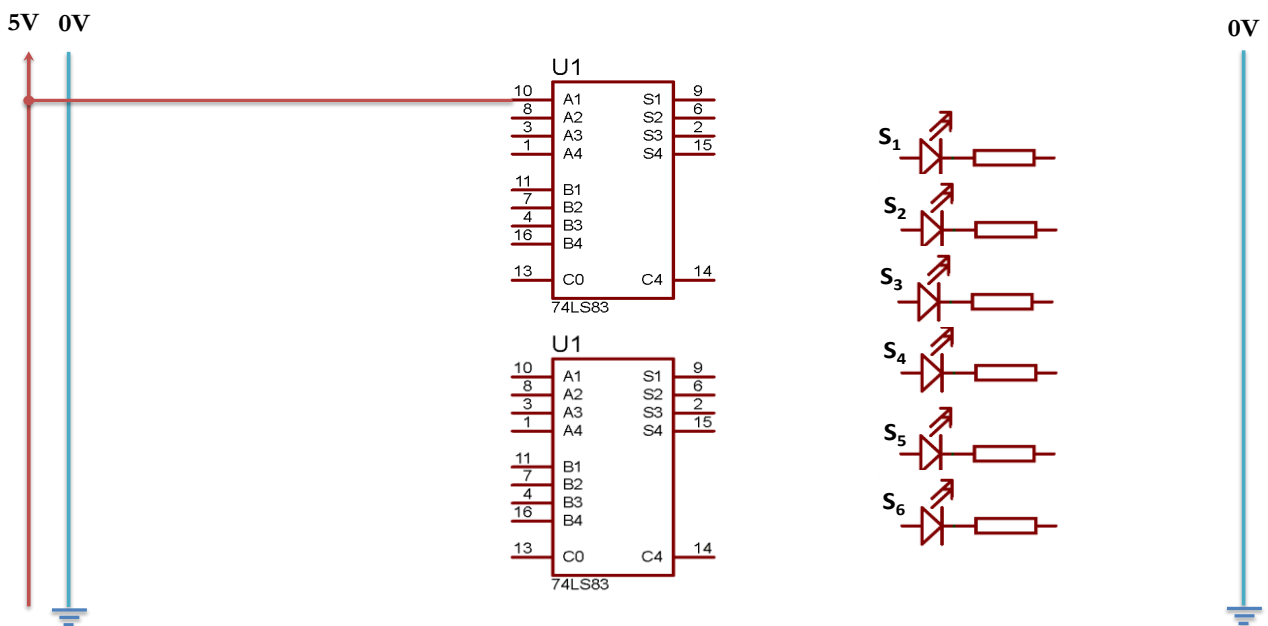
2. On désire additionner les deux nombres  $A = (14)_{10}$  et  $B = (11)_{10}$
- Réaliser en binaire l'opération  $A+B$ .

- Compléter la structure série ci-dessous réalisant l'addition de  $A$  et  $B$ .



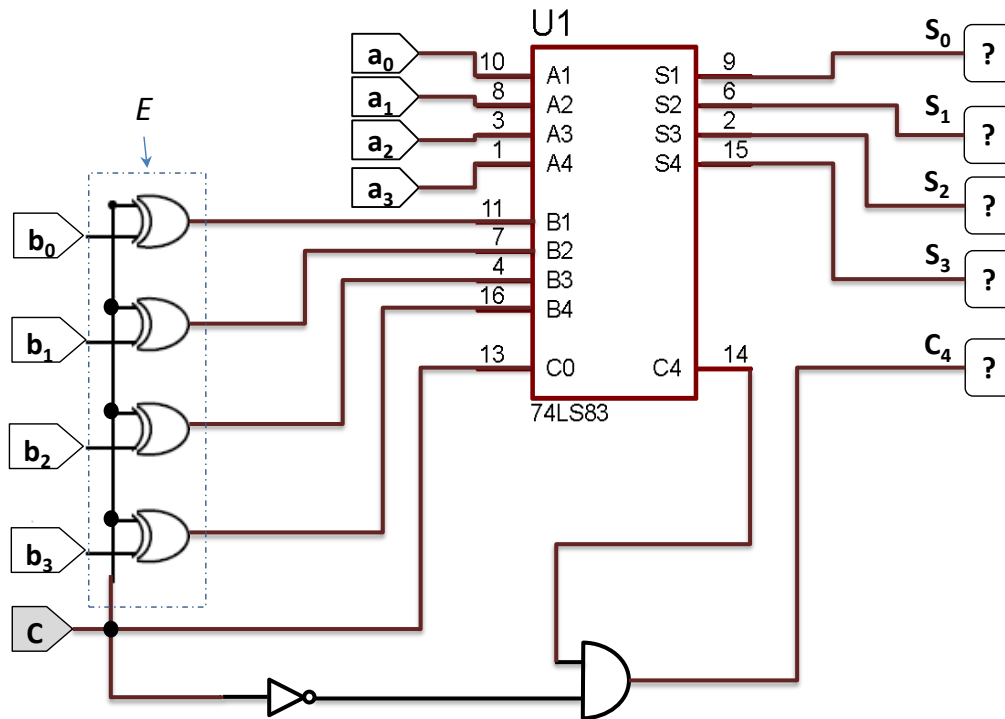
3. On désire maintenant additionner  $A = (25)_{10}$  et  $B = (30)_{10}$  à l'aide de circuits intégrés 7483.
- Calculer  $A+B$ .

- Compléter les liaisons nécessaires pour réaliser l'opération précédente avec deux C.I 7483. Colorier les LED allumées.



**Exercice IV : (6 pts)**

Soit le montage ci-après qui contient le circuit intégré additionneur 7483.



**Figure 2**

1. Donner le rôle de l'entrée C.

.....

.....

2. Donner le rôle du circuit E.

.....

.....

**Explique :**

.....

.....

3. Compléter le tableau suivant :

C	$a_3 a_2 a_1 a_0$	$b_3 b_2 b_1 b_0$	$B_4 B_3 B_2 B_1$	$C_4 S_3 S_2 S_1 S_0$	Fonctionnement
0	1 1 1 1	1 0 0 1			
0	1 1 1 1	1 1 1 1			
1	0 1 1 1	1 0 0 1			
1	1 1 0 1	0 0 1 0			

4. Donner un nom au montage de la figure 2.

.....

.....

.....

.....







# Corrigé d'Examens

## 2016-2017

Nom : .....	Code : .....	Nombre d'intercalaire : .....
Prénom : .....	Groupe : .....	

**Question de cours. (1,5 pt)**

Définir un Encodeur prioritaire, un Multiplexeur et un Démultiplexeur :  
 ..... Un **encodeur prioritaire** est un codeur qui fixe un ordre de priorité entre les entrées. Dans le cas d'un encodage en binaire pur, le codeur prioritaire donne en général la **priorité à l'entrée de poids le plus élevé**.  
 ..... Un Mux est un circuit à **2<sup>n</sup> entrées** d'informations, n entrées de sélection, et **une sortie unique**. Il permet l'aiguillage (par la commande de **n entrées d'adresse**) de l'une de ces entrées vers la sortie.  
 ..... Un DMux joue le rôle inverse d'un multiplexeur, il permet de faire passer **une donnée** dans **l'une** des **2<sup>n</sup> sorties** selon les valeurs des entrées de commandes ou d'adresses (**n entrées d'adresses**).

**Exercice I : (4,5 pts)**

1. Exprimer la fonction **f** du **tableau 1** à l'aide :

**Tableau. 1**

X	Y	Z	f
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

a. de mintermes ?

$$f = \sum (m_3, m_5, m_6, m_7)$$

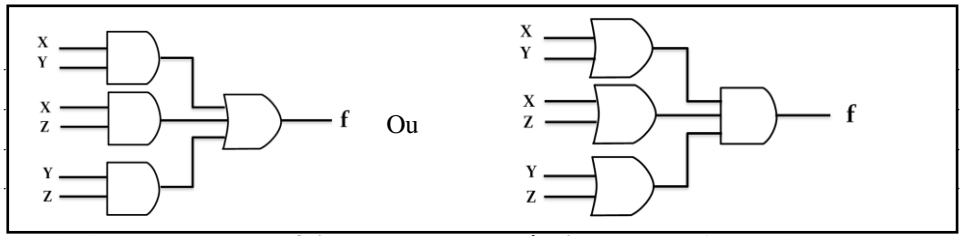
b. de maxtermes ?

$$f = \prod (M_0, M_1, M_2, M_4)$$

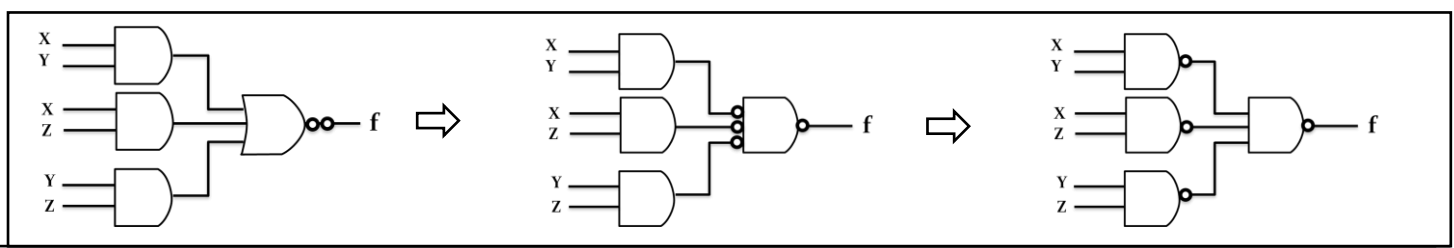
2. Simplifier algébriquement cette fonction ?

$$f = XY + XZ + YZ \text{ Ou encore } f = (X + Y)(X + Z)(Y + Z)$$

3. Dédurre le logigramme à partir de la fonction simplifiée ?

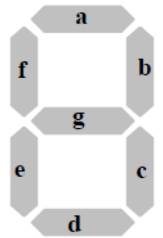


4. En se basant sur ce logigramme et **sans faire de calculs algébriques**, transformer les portes de ce logigramme à des portes **NAND** ?



**Exercice II : (6 pts)**

En binaire un chiffre décimal (de 0 à 9) est codé sur 4 bits ( $a b c d$ ) dans l'ordre des poids décroissants. Ce chiffre est visualisé sur un afficheur 7 segments représenté ci-après. Chaque segment est représenté par une lettre allant de  $a$  à  $g$ . On s'intéresse par les segments  $a$  et  $d$ .



1. Remplir cette table de vérité et déduire les expressions logiques sous forme des sommes des mintermes des fonctions logiques  $f_a$  et  $f_d$  valant 1 lorsque les segments  $a$  et  $d$  de l'afficheur sont allumés.

Chiffre	$a$	$b$	$c$	$d$	$f_a$	$f_d$
0	0	0	0	0	1	1
1	0	0	0	1	0	0
2	0	0	1	0	1	1
3	0	0	1	1	1	1
4	0	1	0	0	0	0
5	0	1	0	1	1	1
6	0	1	1	0	1	1
7	0	1	1	1	1	0
8	1	0	0	0	1	1
9	1	0	0	1	1	1

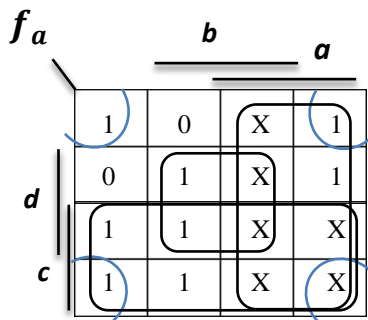
Cette table de vérité ne concerne évidemment que les dix combinaisons de  $a, b, c$  et  $d$  correspondant aux chiffres de 0 à 9. Les six autres combinaisons ne sont pas spécifiées.

Les expressions des fonctions logiques  $f_a$  et  $f_d$  s'obtiennent directement à partir de la table :

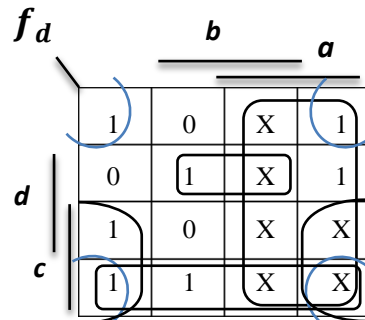
$$f_a = \sum m(0, 2, 3, 5, 6, 7, 8, 9)$$

$$f_d = \sum m(0, 2, 3, 5, 6, 8, 9)$$

2. Simplifier les fonctions précédentes en utilisant des tables de Karnaugh.



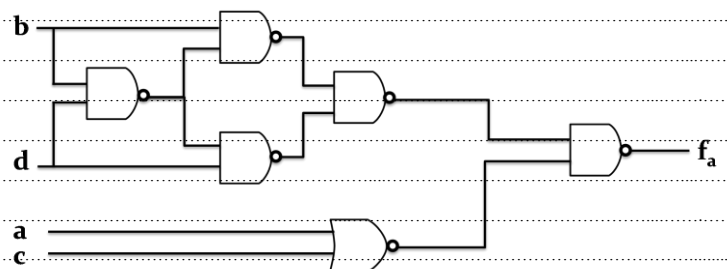
$$f_a = a + c + bd + \bar{b}\bar{d}$$



$$f_d = a + \bar{c}\bar{b} + \bar{c}d + \bar{b}d + bd\bar{c}$$

3. Donner le logigramme de la fonction  $f_a$  avec un minimum de portes logiques NOR et NAND

$$f_a = a + c + bd + \bar{b}\bar{d} = \overline{\overline{a + c} \cdot b \oplus d}$$

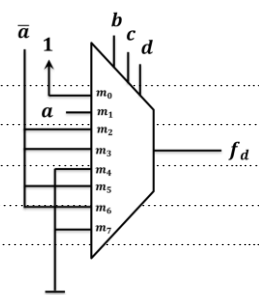


4. A l'aide d'un multiplexeur à 3 entrées d'adresses, réaliser la fonction  $f_d$ .

A partir de la TV, on déduit que :

$$f_d = \bar{b}\bar{c}\bar{d} + a\bar{b}c\bar{d} + \bar{a}(\bar{b}c\bar{d} + \bar{b}c\bar{d} + b\bar{c}d + b\bar{c}\bar{d})$$

N.B. C'est une parmi les solutions possibles



**Exercice III : (8 pts)**

Soit la bascule **JK** ci-après :

**Partie A :**

1. Donner le type de cette bascule.

**Bascule JK synchrone sur front descendant.**

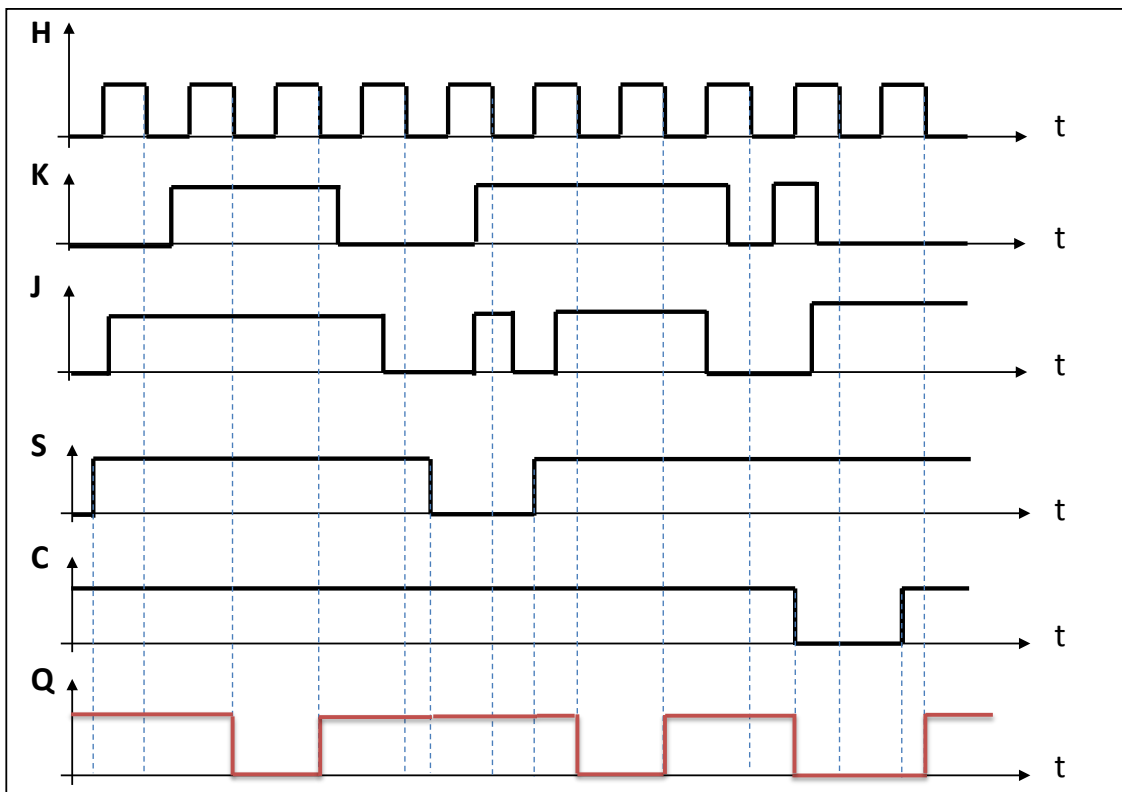
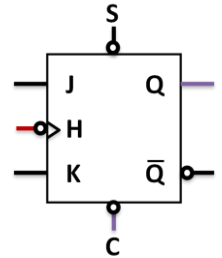
2. Quel niveau logique doivent prendre les deux entrées **S** et **C** pour avoir le mode de **fonctionnement synchrone** de la bascule.

**S = C = 1**

3. Le signal d'horloge a-t-il une influence sur la sortie **Q** pour le cas **S = 0** et **C = 1** ? justifier la réponse

**Non le signal d'horloge n'a pas d'influence sur la sortie Q pour le cas S = 0 et C = 1, puisque dans ce cas la bascule est forcée à 1.**

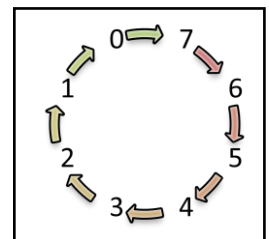
4. Compléter le chronogramme de la sortie **Q** de cette bascule.



**Partie B :**

On désire maintenant effectuer la synthèse d'un **décompteur synchrone** évoluant de **7 à 0** selon le diagramme des états ci-après.

Les sorties **Q<sub>2</sub>**, **Q<sub>1</sub>**, et **Q<sub>0</sub>** des bascules JK ont respectivement les poids **4**, **2** et **1**.



1. Compléter la table de transition suivante en y écrivant les valeurs des fonctions de commutation.

Etat	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	φ <sub>2</sub>	φ <sub>1</sub>	φ <sub>0</sub>
7	1	1	1	0	0	1
6	1	1	0	0	1	1
5	1	0	1	0	0	1
4	1	0	0	1	1	1
3	0	1	1	0	0	1
2	0	1	0	0	1	1
1	0	0	1	0	0	1
0	0	0	0	1	1	1

2. Remplir les tableaux de Karnaugh correspondant à ces fonctions de commutation, puis donner l'équation réduite de chaque fonction. (Dessiner les groupements sur les tables)

φ<sub>2</sub>

	Q <sub>0</sub>		Q <sub>1</sub>	
	1	0	0	0
Q <sub>2</sub>	1	0	0	0

φ<sub>2</sub> =  $\overline{Q_0} \cdot \overline{Q_1}$

φ<sub>1</sub>

	Q <sub>0</sub>		Q <sub>1</sub>	
	1	0	0	1
Q <sub>2</sub>	1	0	0	1

φ<sub>1</sub> =  $\overline{Q_0}$

φ<sub>0</sub>

	Q <sub>0</sub>		Q <sub>1</sub>	
	1	1	1	1
Q <sub>2</sub>	1	1	1	1

φ<sub>0</sub> = 1

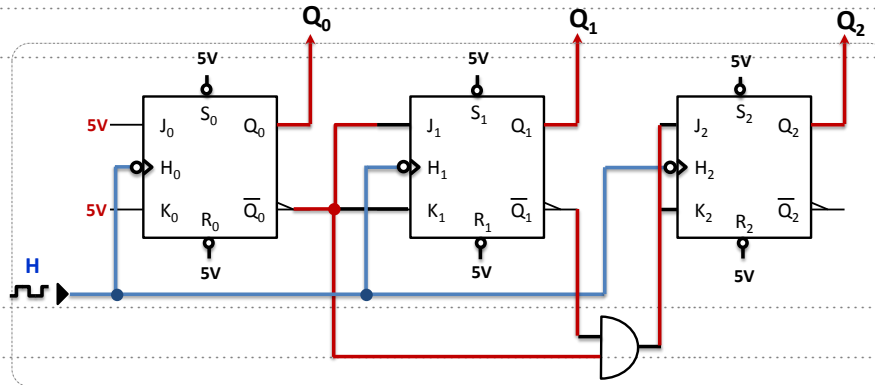
3. Dédurre les équations des entrées J<sub>0</sub>, K<sub>0</sub>, J<sub>1</sub>, K<sub>1</sub>, J<sub>2</sub> et K<sub>2</sub> des bascules.

φ<sub>0</sub> = 1 = J<sub>0</sub>Q<sub>0</sub> + K<sub>0</sub>Q<sub>0</sub>      Alors      J<sub>0</sub> = K<sub>0</sub> = 1

φ<sub>1</sub> = Q<sub>0</sub>      Alors      J<sub>1</sub> = K<sub>1</sub> = Q<sub>0</sub>

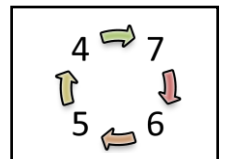
φ<sub>2</sub> = Q<sub>0</sub> · Q<sub>1</sub>      Alors      J<sub>2</sub> = K<sub>2</sub> = Q<sub>0</sub> · Q<sub>1</sub>

4. Tracer le logigramme de ce compteur.



5. Explique comment peut-on rendre ce compteur évoluant juste de 7 à 4 selon le diagramme des états ci-après.

D'après la table des transitions, à l'apparition de l'état 3 il faut forcer l'état 7, ce qui conduit à la mise à 1 de la bascule 2 lorsque Q<sub>2</sub> vaut 0.



Bon courage!

Nom : .....	Code : .....	Nombre d'intercalaire : .....
Prénom : .....	Groupe : .....	

**Exercice I : (4 pts)**

A. Simplifier algébriquement les équations suivantes, puis à l'aide du tableau de Karnaugh :

$$E = \bar{a}.b.c + \bar{c}.\bar{b}.\bar{a} + \bar{b}.c.\bar{a} + \bar{c}.\bar{a}.b$$

$$E = \bar{a}(1 + \bar{c})$$

$$= \bar{a}$$

	$\overline{c}$		$b$
	1	1	0
$a$	0	1	0

$$F = (a.b + c).(a + \bar{b}).\bar{b}$$

$$F = \bar{b}(a.b + c)$$

$$= \bar{b}.c$$

	$\overline{c}$		$b$
	0	1	0
$a$	0	1	0

B. Simplifier la fonction suivante sous forme d'un produit de sommes.

$$G(a, b, c, d) = \sum m(0, 1, 2, 5, 8, 9, 10)$$

$$G = (\bar{d} + \bar{c})(d + \bar{b})(\bar{a} + b)$$

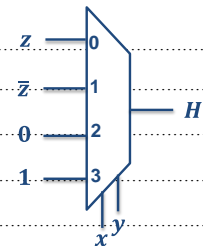
	$\overline{d}$		$c$
	1	1	0
$b$	0	1	0
$a$	0	0	0
	1	1	0
	1	1	1

C. Réaliser la fonction suivante avec un Multiplexeur à 2 entrées de sélection.

$$H(x, y, z) = \sum m(1, 2, 6, 7)$$

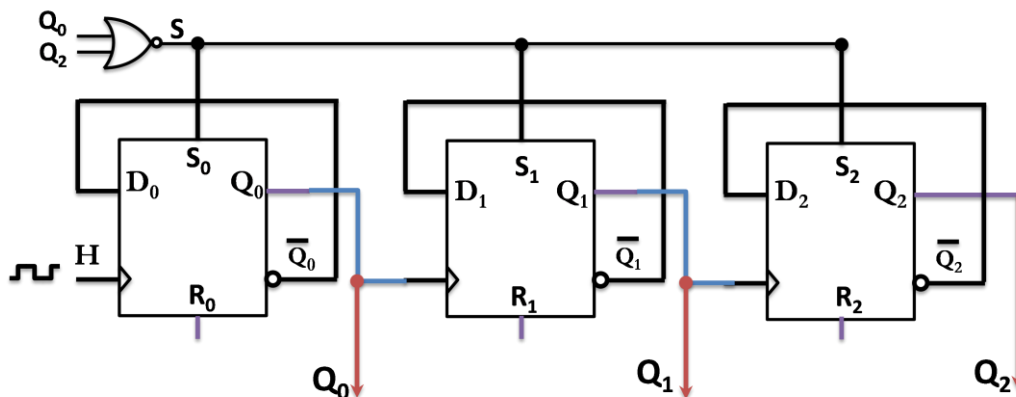
$$H = (\bar{x}.\bar{y}.z) + (\bar{x}.y.\bar{z}) + (x.y.\bar{z}) + (x.y.z)$$

Voici une possibilité de réalisation :



**Exercice II : (7 pts)**

Soit le montage ci-dessous auteur des bascules D:



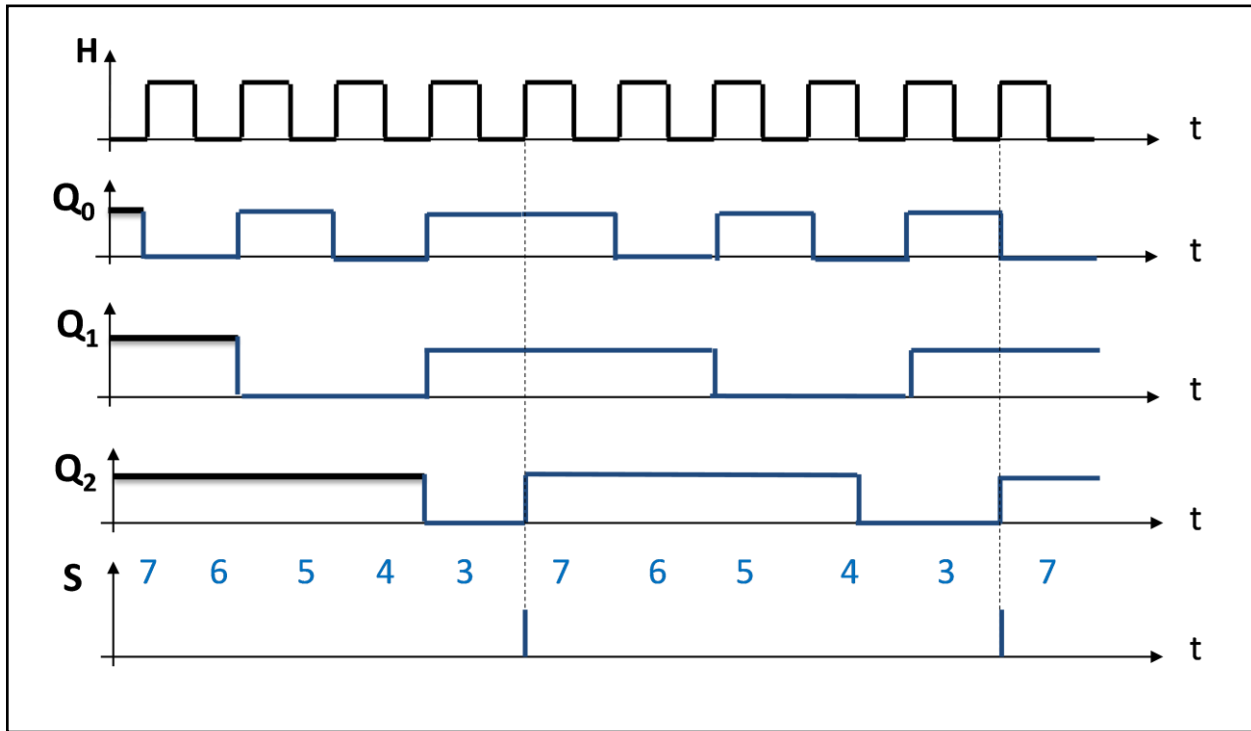
1. Sur quel front fonctionnent les bascules de ce montage ?

Front montant

2. Quel est le rôle de l'entrée  $S_i$ . A quel niveau est-elle active ? Cette entrée est dite prioritaire, qu'entendez-vous par là ?

- Rôle de  $S_i$  : Forcer la mise à 1
- Active sur niveau haut
- Prioritaire  $\Leftrightarrow \forall H, D$  si  $S_i=1$  alors  $Q_i=1$

3. Compléter les chronogrammes suivants (à l'état initial,  $Q_0 = Q_1 = Q_2 = 1$ ) :



4. Convertir en décimal les trois bits binaires  $Q_2Q_1Q_0$  en prenant pour bit de poids fort  $Q_2$ .

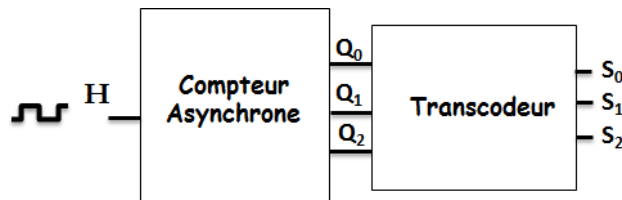
Voir le chronogramme

5. Quelle est la fonction ainsi réalisée ? Donner un nom à cette structure (**modulo**).

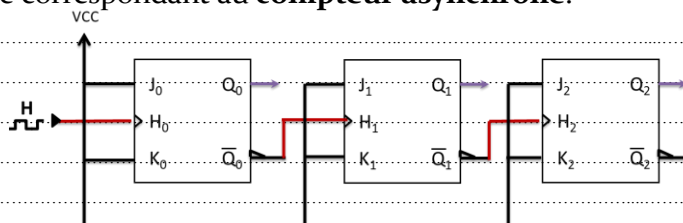
Décompteur modulo 5 : De 7 à 3 a cycles répétés

**Exercice III : (9 pts)**

A. On désire dans un premier temps, réaliser un **compteur** qui génère le **code Gray** (binaire réfléchi) **sur 3 bits**, à l'aide d'un **compteur asynchrone** et un **transcodeur**.



1. Donner le schéma de câblage correspondant au **compteur asynchrone**.





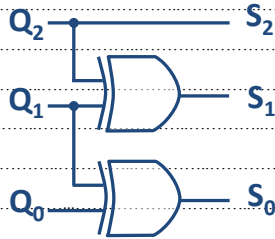
2. Exprimer les sorties  $S_0$ ,  $S_1$  et  $S_2$  en fonction des  $Q_0$ ,  $Q_1$  et  $Q_2$ .

$$S_2 = Q_2$$

$$S_1 = Q_1 \oplus Q_2$$

$$S_0 = Q_0 \oplus Q_1$$

3. Donner le schéma de câblage correspondant au **Transcodeur**.



B. On désire maintenant réaliser un **compteur synchrone, modulo 8 en code Gray**, à l'aide des bascules JK synchronisées sur front montant.

1. Combien de bascules sont-elles nécessaires à la réalisation de ce compteur ? Justifier.

$$\text{Modulo } 8 \Rightarrow 8 = 2^3 \Rightarrow 4 \text{ Bascules JK}$$

2. Compléter la table de transition suivante en y écrivant les valeurs des fonctions de commutation ( $Q_2$  est le bit de poids **fort** et  $Q_0$  est le bit de poids **faible**).

Etat	$Q_2$	$Q_1$	$Q_0$	$\varphi_2$	$\varphi_1$	$\varphi_0$
0	0	0	0	0	0	0
1	0	0	1	0	1	1
3	0	1	1	0	0	0
2	0	1	0	1	0	0
6	1	1	0	0	0	1
7	1	1	1	0	1	0
5	1	0	1	0	0	1
4	1	0	0	1	0	0

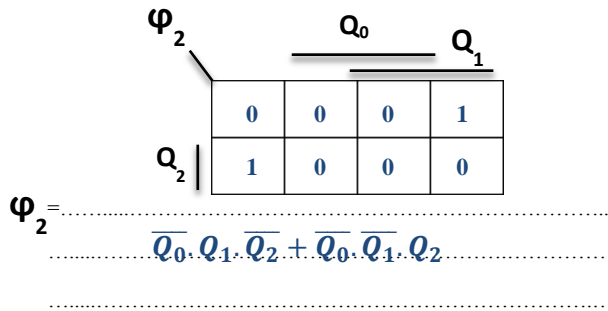
3. Remplir les tableaux de Karnaugh correspondant à ces fonctions de commutation, puis donner l'équation réduite de chaque fonction.

$\varphi_0$	$Q_0$		$Q_1$	
	0	1	0	1
$Q_2$	0	1	0	1

$$\varphi_0 = \overline{Q_0}(\overline{Q_1} \oplus \overline{Q_2}) + (Q_1 \oplus Q_2)Q_0$$

$\varphi_1$	$Q_0$		$Q_1$	
	0	1	0	0
$Q_2$	0	0	1	0

$$\varphi_1 = Q_0 \cdot \overline{Q_2} \cdot \overline{Q_1} + Q_0 \cdot Q_2 \cdot Q_1$$



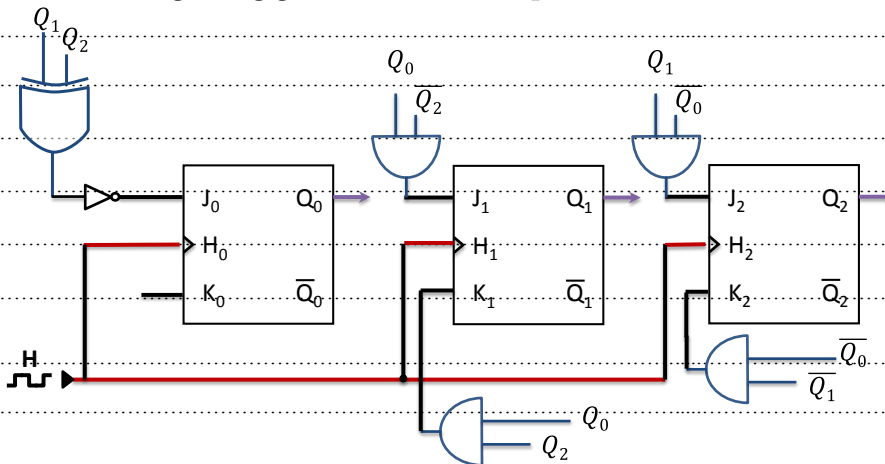
4. D durre les  quations des entr es  $J_0, K_0, J_1, K_1, J_2$  et  $K_2$  des bascules.

$J_0 = \overline{Q_1} + \overline{Q_2} \quad ; \quad K_0 = Q_1 + Q_2$

$J_1 = Q_0 \cdot \overline{Q_2} \quad ; \quad K_1 = Q_0 \cdot Q_2$

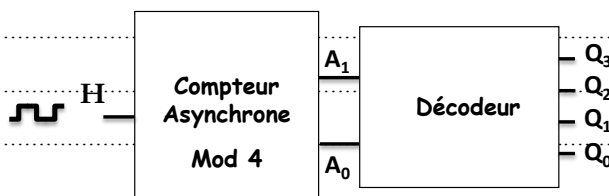
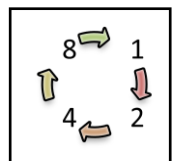
$J_2 = Q_1 \cdot \overline{Q_0} \quad ; \quad K_2 = \overline{Q_1} \cdot \overline{Q_0}$

5. Dessiner le sch ma de câblage (Logigramme) de ce compteur.



C. Proposer un Sch ma de câblage d'un compteur  num rant la s quence suivante :

Ce compteur doit  tre compos  d'un compteur asynchrone modulo 4 et d'un d codeur.

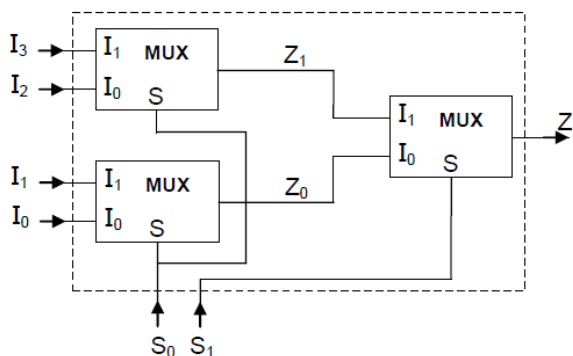


Bon courage!

Nom : .....	Code : .....	Nombre d'intercalaire : .....
Prénom : .....	Groupe : .....	

**Exercice I : (4 pts)**

1. Compléter les tables de vérités relatives au circuit suivant :



S <sub>0</sub>	Z <sub>0</sub>
0	I <sub>0</sub>
1	I <sub>1</sub>

S <sub>1</sub>	S <sub>0</sub>	Z <sub>0</sub>	Z <sub>1</sub>	Z
0	0	I <sub>0</sub>	I <sub>2</sub>	I <sub>0</sub>
0	1	I <sub>1</sub>	I <sub>3</sub>	I <sub>1</sub>
1	0	I <sub>0</sub>	I <sub>2</sub>	I <sub>2</sub>
1	1	I <sub>1</sub>	I <sub>3</sub>	I <sub>3</sub>

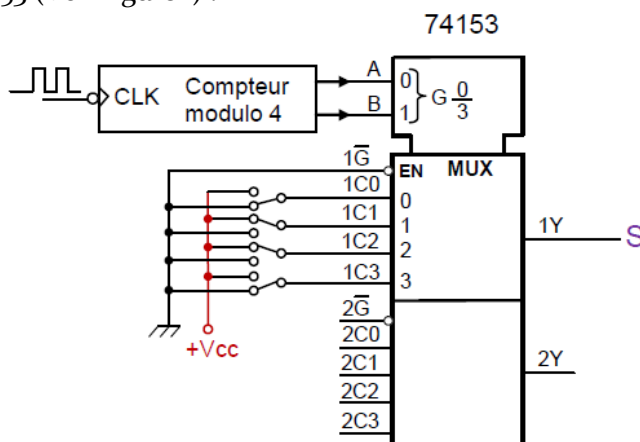
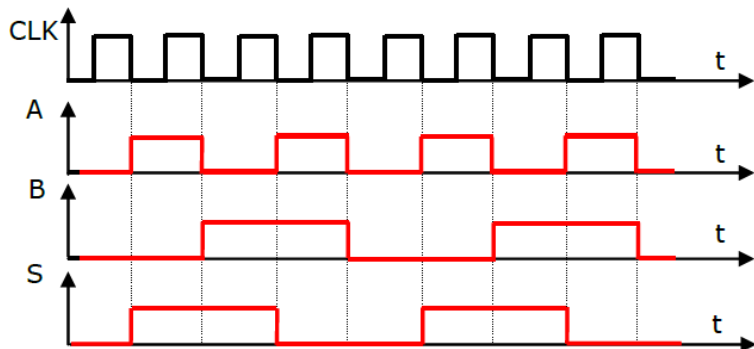
2. Déduire la fonction réalisée par ce circuit :

**Multimixage 4 ver 1**

**Exercice II : (4 pts)**

On donne le circuit ci-contre, utilisant le circuit intégré 74153 (Voir figure 1) :

1. Tracer les chronogrammes de A, B et S.



**Figure 1**

2. Etablir l'expression de la fonction S.

$$S = A \oplus B$$

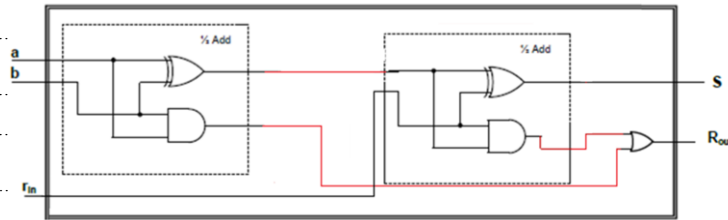
3. Déduire la fonction réalisée par ce montage :

**Circuit qui teste la différence**

**Exercice III : (6 pts)**

Un additionneur complet est un dispositif disposant 3 entrées (a, b et r<sub>in</sub>) et de deux sorties (S et r<sub>out</sub>). S : somme ; r<sub>in</sub> : retenue entrante r<sub>out</sub> : retenue sortante ; a et b : 2 bits à additionner.

1. Donner le logigramme de l'additionneur complet en utilisant 2 demi-additionneurs.

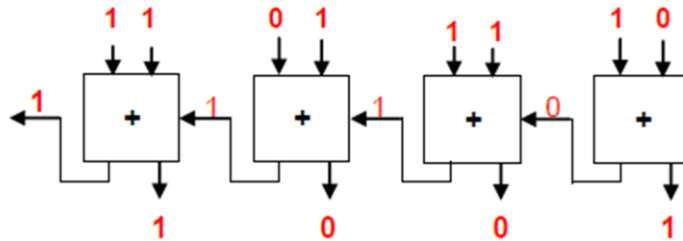


2. On désire additionner les deux nombres  $A = (14)_{10}$  et  $B = (11)_{10}$

a. Réaliser en binaire l'opération  $A + B$ .

Report	1	1		
	1	1	1	0
+	1	0	1	1
Résultat	1	1	0	0

b. Compléter la structure série ci-dessous réalisant l'addition de  $A$  et  $B$ .



3. On désire maintenant additionner  $A = (25)_{10}$  et  $B = (30)_{10}$  à l'aide de circuits intégrés 7483.

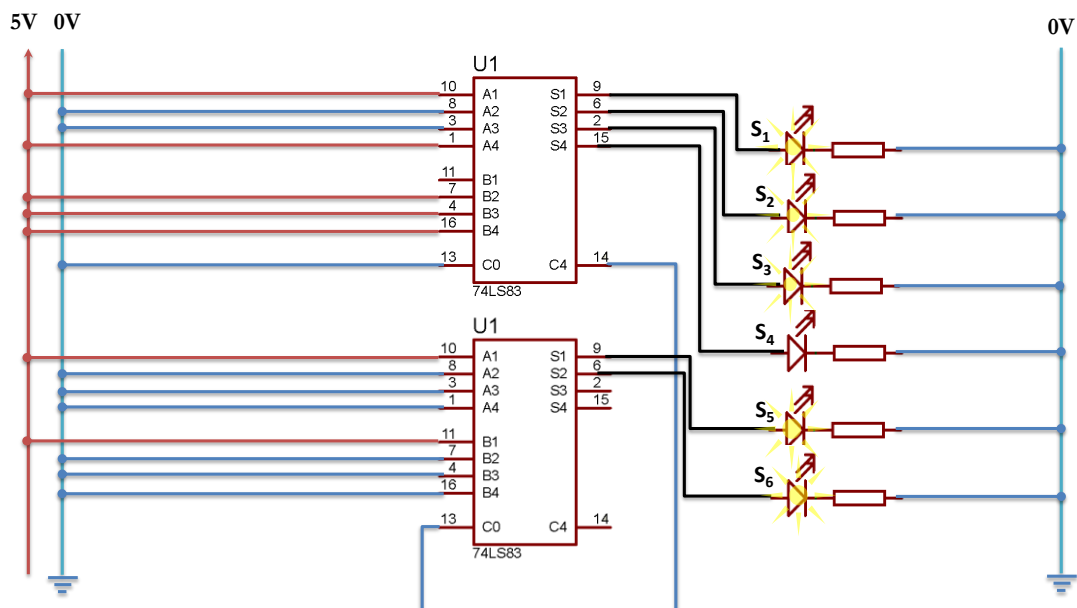
a. Calculer  $A + B$ .

$$A = (11001)_2$$

$$B = (11110)_2$$

$$\begin{array}{r} 1\ 1\ 1\ 1\ 0 \\ + \\ 1\ 1\ 0\ 0\ 1 \\ \hline = 1\ 1\ 0\ 1\ 1\ 1 \end{array}$$

b. Compléter les liaisons nécessaires pour réaliser l'opération précédente avec deux C.I 7483. Colorier les LED allumées.



**Exercice IV : (6 pts)**

Soit le montage ci-après qui contient le circuit intégré additionneur 7483.

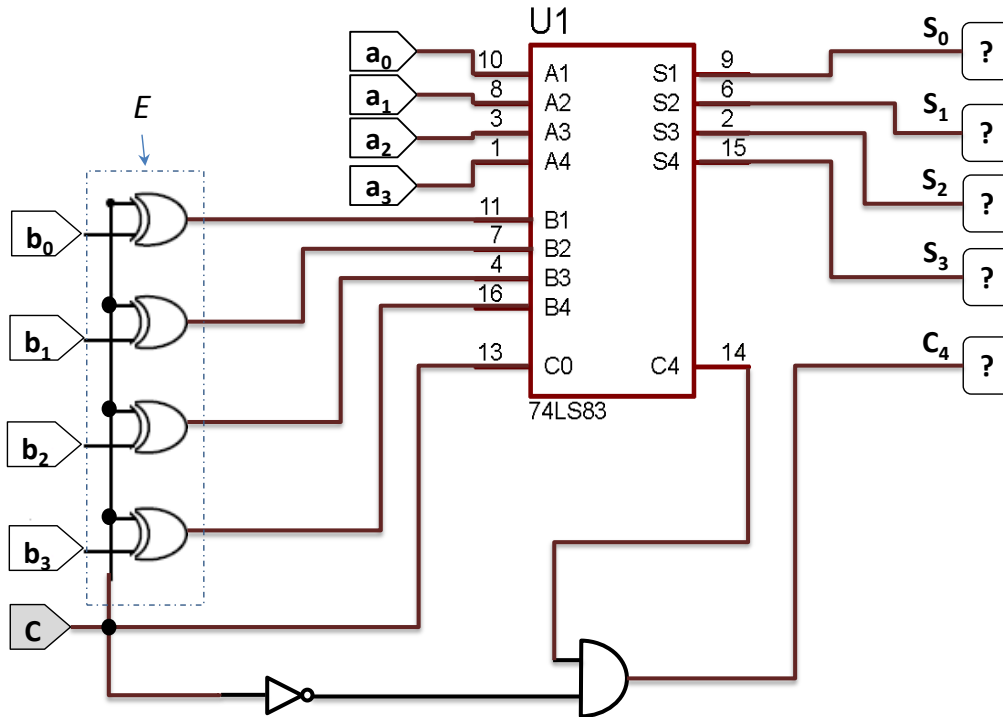


Figure 2

1. Donner le rôle de l'entrée C.

**Entrée qui fait basculer la fonction de montage d'un additionneur vers un soustracteur**

2. Donner le rôle du circuit E.

**Circuit qui assure ce passage d'un additionneur vers un soustracteur**

Explique :

**Lorsque  $C = 0$ ,  $(B_4 B_3 B_2 B_1) = (b_3 b_2 b_1 b_0)$  et  $C_0 = 0 \Rightarrow$  Additionneur**

**alors que lorsque  $C = 1$ ,  $(B_4 B_3 B_2 B_1) = (\overline{b_3} \cdot \overline{b_2} \cdot \overline{b_1} \cdot \overline{b_0})$  et  $C_0 = 1 \Rightarrow$  Soustracteur**

3. Compléter le tableau suivant :

C	$a_3 a_2 a_1 a_0$	$b_3 b_2 b_1 b_0$	$B_4 B_3 B_2 B_1$	$C_4 S_3 S_2 S_1 S_0$	Fonctionnement
0	1 1 1 1	1 0 0 1	<b>1 0 0 1</b>	<b>1 1 0 0 0</b>	additionneur
0	1 1 1 1	1 1 1 1	<b>1 1 1 1</b>	<b>1 1 1 1 0</b>	additionneur
1	0 1 1 1	1 0 0 1	<b>0 1 1 0</b>	<b>0 1 1 1 0</b>	soustracteur
1	1 1 0 1	0 0 1 0	<b>1 1 0 1</b>	<b>0 1 0 1 1</b>	soustracteur

4. Donner un nom au montage de la figure 2.

**Additionneur / Soustracteur**

5. Effectuer les opérations suivantes sur **4 Bits**, en utilisant la représentation en **CA2** :

$$\begin{array}{r} \text{a. } (-3)_{10} \\ + (-4)_{10} \\ \hline (-7)_{10} \end{array} \longrightarrow \begin{array}{r} (1101)_{CA2} \\ + (1100)_{CA2} \\ \hline \color{red}{1}(1001)_{CA2} \end{array}$$

**Commenter**

Dans ce cas on a une simple **retenu à ignorer** (le **cinquième** bit du résultat de l'addition) et le résultat obtenu est bien **1001** en **CA2** sur **4 bits qui est bien** égal à **-7**.

$$\begin{array}{r} \text{b. } (4)_{10} \\ + (6)_{10} \\ \hline (10)_{10} \end{array} \longrightarrow \begin{array}{r} (0100)_{CA2} \\ + (0110)_{CA2} \\ \hline (1010)_{CA2} \end{array}$$

**Commenter**

Il s'agit ici d'un **débordement** ou **dépassement de capacité** puisque le résultat est **faux**.  
 $(1010)_{CA2} = -6$  en décimal et pas 10.

c. **Conclure.**

**En CA2**, on peut manipuler tous les nbres compris entre  $-2^{n-1}$  et  $2^{n-1}-1$ , à condition que les **résultats** partiels ou définitifs ne sortent pas de cet intervalle.

**Ici**, Le résultat **(10)** est hors de l'intervalle autorisé  $-2^{n-1} = -8$  et  $2^{n-1}-1=7$ .

**Bon courage!**